

tijdschrift van het

nederlands elektronica- en radiogenootschap

deel 50 — nr. 1 — 1985

nederlands elektronica- en radiogenootschap

Nederlands Elektronica- en Radiogenootschap
Postbus 39, 2260AA Leidschendam. Gironummer 94746
t.n.v. Penningmeester NERG, Leidschendam.

HET GENOOTSCHAP

De vereniging stelt zich ten doel het wetenschappelijk onderzoek op het gebied van de elektronica en de informatietransmissie en - verwerking te bevorderen en de verbreiding en toepassing van de verworven kennis te stimuleren.

Lidmaatschap

Voor lidmaatschap wende men zich tot de secretaris. Het lidmaatschap staat open voor academisch gegradueerden en hen, wier kennis of ervaring naar het oordeel van het bestuur een vruchtbarellidmaatschap mogelijk maakt. De contributie bedraagt fl.60.-per jaar.

Studenten aan universiteiten en hogescholen komen bij gevorderde studie in aanmerking voor een junior-lidmaatschap, waarbij 50% reductie wordt verleend op de contributie. Op aanvraag kan deze reductie ook aan anderen worden verleend.

HET TIJDSCHRIFT

Het tijdschrift verschijnt zesmaal per jaar. Opgenomen worden artikelen op het gebied van de elektronica en van de telecommunicatie.

Auteurs die publicatie van hun wetenschappelijk werk in het tijdschrift wensen, wordt verzocht in een vroeg stadium kontakt op te nemen met de voorzitter van de redactie commissie.

De teksten moeten, getypt op door de redactie verstrekte tekstbladen, geheel persklaar voor de offsetdruk worden ingezonden.

De abonnementsprijs van het tijdschrift bedraagt f 60,--. Aan leden wordt het tijdschrift kosteloos toegestuurd.

Tarieven en verdere inlichtingen over advertenties worden op aanvrage verstrekt door de voorzitter van de redactiecommissie.

DE EXAMENS

De door het Genootschap ingestelde examens worden afgenomen in samenwerking met de "Vereniging tot bevordering van Elektrotechnisch Vakonderwijs in Nederland (V.E.V.)". Het betreft de examens:

a. op lager technisch niveau: "Elektronica monteur N.E.R.G.";
b. op middelbaar technisch niveau: "Middelbaar Elektronica technicus N.E.R.G.".

Voor deelname, inlichtingen omtrent exameneisen, reglement, en uitgewerkte opgaven wende men zich tot het Centraal Bureau van de V.E.V., Barneveldseweg 39, 3862 PB Nijkerk; tel. 03494 - 4844.

SPEECH PRODUCTS: AN OVERVIEW AND SOME METHODS ON HOW TO CHOOSE

Ir. C.B. Dekker
Ing.adv.bur. D.A.C cv
Heerhugowaard

The market for speech products is evaluated in terms of opportunities, differentiation of products for synthesis, recognition and communication of speech. The number of products is sharply rising, but hardly any profit has been made by the manufacturors. The turnover has suffered a slow down, caused by several reasons, one of them being the low quality of the synthesized speech compared to everyday-everywhere Hi-Fi. The lack of a satisfactory human interface, and the delayed solution of some technical problems contribute(d) considerably to the slow-down.
Some methods are presented for selecting a speech system for an application.

ALGEMEEN

Deze voordracht geeft een overzicht van de markt van spraakprodukten en geeft tevens aan met welke zaken rekening gehouden moet worden om hierin een keuze te kunnen maken. Er zullen nauwelijks theoretische aspecten aan de orde komen van de toegepaste technieken aangezien deze al in een vorige werkvergadering zijn behandeld.

Tevens zijn voor vandaag enkele sprekers uitgenodigd om iets van hun toonaangevende spraakprodukten te komen vertellen. De volgende spreker dr. Boot komt weliswaar geen bestaand produkt toelichten maar zijn bijdrage is toch belangrijk omdat hij zal toelichten wat er zoal komt kijken om automatisch tekst naar spraak om te zetten voor het Nederlandse taalgebied.

Nu zal een overzicht worden gegeven van wat laatste marktinzichten, van beschikbare produkten en mogelijke toepassingen en hoe je uit al die produkten de juiste keuze kunt doen voor een applicatie. Ter vereenvoudiging is de voordracht in twee delen gesplitst:

Overhead 1

SPEECH PRODUCTS, AN OVERVIEW AND A WAY OUT

* MARKET ANALYSIS
* SPEECH PRODUCTS MAIN AREAS
  (SYNTHESIS, RECOGNITION, COMMUNICATION)

Dit overzicht kan binnen de beschikbare tijd nooit volledig zijn, en slechts de grote lijnen komen aan bod. Wel zijn enkele bevindingen van een zojuist gehouden "Speech Conference" in New York vandaag in de presentatie verwerkt.

Het eerste deel behandelt de marktaspecten:

Overhead 2

MARKET ASPECTS:

VOICE MAIL, MESSAGING, TALKING INSTRUMENTS, AIDS FOR THE HANDICAPPED, HANDS/EYES BUSY SITUATION, TALKING APPLIANCES, DATABASE RETRIEVAL BY VOICE, TALKING ALARMS, VOICE CONTROL OF: MACHINERY, TERMINALS, RESERVATION SYSTEMS, SECURITY MECHANISMS.

SPECULATIONS FOR A "BREAK-AWAY":

* HIGHLY VISIBLE
  - NOT MILITARY, NOT CONSUMER
  - PROBABLY COMPUTER RELATED
  - BROAD APPLICATION
  - PRESTIGIOUS VENDOR
* CLEAR INDICATION OF VALUE ADDED
  - NOT A MARGINAL CONTRIBUTION
  - GO/NO-GO
  - REASONABLE PRICED
  - INDICATION OF UNIVERSALITY
* HOW SOON ?

Voor sommige van de hier genoemde toepassingen zijn al produkten beschikbaar, andere zijn nog in ontwikkeling, en enkele zijn nog slechts bedenksels.

Het enige produkt wat een redelijke omzet heeft gehaald is het "Speak and Spell" van Texas Instruments, die er zo'n 2 miljoen van heeft verkocht. Vele andere spraakprodukten zijn op de markt verschenen en weer verdwenen bij gebrek aan omzet en winst. Het is jammer maar geen enkele fabrikant heeft aan spraakprodukten nog iets kunnen verdienen. Deze tegenvallende marktverwachtingen zullen in de volgende overhead worden toegelicht.

Hierboven zijn ook enige speculaties aangegeven hoe een succesvol produkt eruit zou zien. Het produkt zou moeten opvallen, en dat zal waarschijnlijk niet gebeuren in de militaire sfeer of de consumenten omgeving. Het zal waarschijnlijk met computers te maken hebben. Het zal voor een flinke omzet, een breed toepassingsgebied moeten kunnen afdekken. En tenslotte, om goed op te vallen zal het gedragen moeten worden door een grote en bekende fabrikant of gebruiker. Alleen zij zijn in staat een flinke marketinginspanning te leveren.

Een ander sleutelwoord zal zijn: value-added. Het spraakprodukt of de spraakmodule zal een duidelijke waarde moeten toevoegen en niet slechts een marginale bijdrage leveren. Nog sterker, ik ben van mening dat de toegevoegde waarde zo groot zou moeten zijn dat zonder de spraakmodule de applicatie niet eens gerealiseerd zou kunnen worden.

Tenslotte blijf ik zitten met de vraag binnen welke termijn zo'n produkt er zal of kan komen, en wanneer de markt er rijp voor is. Hierop zal in deze voordracht niet nader worden ingegaan.

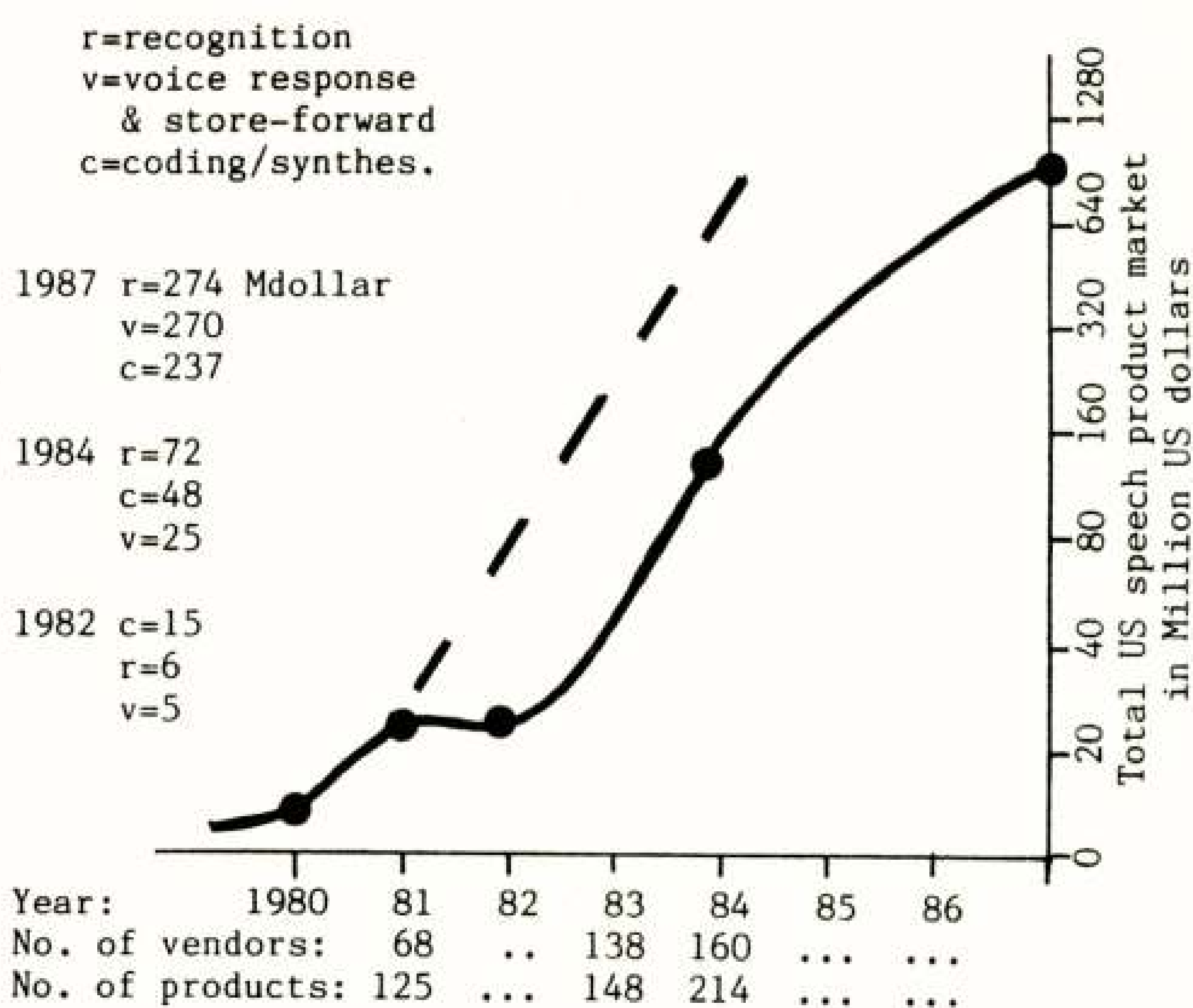
Op deze overhead ziet U de laatste marktverwachtingen voor de Verenigde Staten. Soortgelijke grafieken zijn ook voor Europesche landen beschikbaar.

De gestippelde lijn geeft aan dat de verwachtingen in 1981 nogal hooggespannen waren en die zijn dan ook later bijgesteld.

Om even een idee te geven van de Japanse markt, daar is het aantal spraakherkenningssystemen voor met name de computers en workstations een orde groter dan in de

Overhead 3

MARKET ASPECTS:



Source: Intern.Res.Devel. Inc. (fall 1983)

* INVESTMENT IN TECHNOLOGY
* INVESTMENT IN MARKETING

MAIN REASONS FOR DELAY:
- ECONOMY SLOW DOWN
- TECHNICAL PROBLEMS
- BAD HUMAN INTERFACES

GROW-UP PERIOD:

- PACEMAKER:	30 YEARS
- XEROGRAPHY:	22 YEARS
- IC:	12 YEARS
- VIDEORECORDER:	6 YEARS

Verenigde Staten. Dit komt hoofdzakelijk omdat het Japanse schrift, zich slecht leent voor invoer via een toetsenbord. De noodzaak voor invoer van tekst, commando's en data via spraakherkenners is daar ook evident.

Als we wat meer in detail kijken naar de grafiek dan zien we dat rond 1981 de groei stagneerde. De oorzaken voor deze stagnatie laten zich alsvolgt samenvatten: een oorzaak was dat de tegenvallende economie de groei afremde. Een andere reden van de vertraging was dat de technische problemen in met name de spraakherkenning, toch veel groter bleken dan men aanvankelijk dacht. Maar waarschijnlijk de grootste reden van de vertraging was dat de beschikbare produkten gewoon niet in de smaak vielen bij de gebruiker, een uitzondering als "Speak and Spell" van Texas Instruments daargelaten.

Dit laatste probleem heeft men sindsdien meer aandacht gegeven en het heeft te maken met de o zo belangrijke human interface, die dan ook danig onderschat is.

We moeten ons ook goed bedenken dat de spraakkwaliteit van de spraakchips in die dagen niet al te best was. De gebruiker was en is gewend aan hi-fi kwaliteit, in zijn huis, in zijn auto, met een walkman op het hoofd, in supermarkten en noem maar op.

Wat betreft spraakherkenning, vaak was en is de human interface nog zo slecht dat de spraakherkenner na verloop van tijd weer van de werkvloer verdwijnt. De mens heeft zich steeds moeten aanpassen aan de spraakherkenner, en dat is fout. Op die manier wordt het ding nooit geaccepteerd. Maar hierop komen we later terug.

Tenslotte heb ik nog eens aangegeven dat de tijd van groeien en volwassen worden van de spraaktechnologie nog helemaal niet zo tegenvallend is als je het vergelijkt met andere produkten. Maar spraaktechnologie zal zeker doorbreken, het aantal aktiviteiten onder de oppervlakte is enorm toegenomen, zoals bij de grafiek is aangegeven.

PRODUCT AREA: STORED SPEECH — Overhead 4

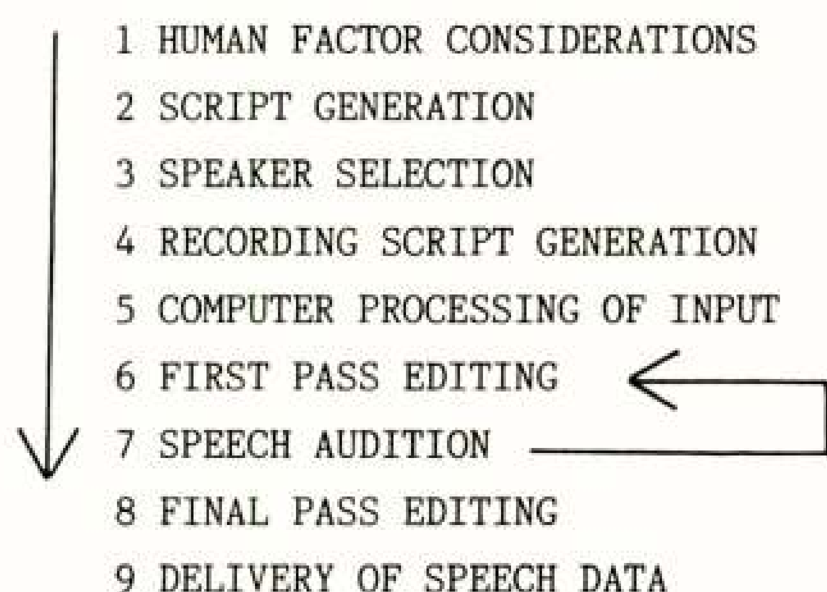
* MANUFACTURERS:
  - CHIPS (MORE THAN 2 DOLLARS)
  - BOARDS (OVER 100 DOLLARS)
  - SYSTEMS

TOTAL: 139 MANUF.

* HOW TO CHOOSE:

- HUMAN INTERFACE	- WORD SET
- COST MAXIMUM	- REQUIRED QUALITY
- ON CHIP ROM	- MEMORY SIZE
- BIT RATE	- DRT REPORTS/TESTS
- EVALUATION KITS	- AVAILABILITY
- POWER CONSUMPTION	- EXTRA LOWPASS FILTERS
- HOUSING	- SECOND SOURCING

* DEVELOPMENT CYCLE EXAMPLE:



PRODUKTEN: SPRAAK SYNTHESE

Na deze korte marktbeschouwingen begin ik nu aan het tweede deel, dat handelt over de produkten. Allereerst komt de spraaksynthese aan bod. Hiervan wordt eerst de synthese van "opgeslagen spraak" behandeld. Hiermee bedoel ik dat de fabrikant in zijn chips, boards of systemen enkele zinnen, woorden en klanken heeft opgeslagen, die dàn in de applicatie weer ten gehore worden gebracht m.b.v. wat elektronica en een luidspreker.

Op de overhead is aangegeven dat het aantal fabrikanten van produkten voor de synthese van spraaksignalen groot is, en dan komt ongetwijfeld de vraag naar boven hoe hieruit een keuze te maken voor een bepaalde toepassing.

In deze afweging zullen de volgende punten zeker aan de orde moeten komen, zoals op de overhead schematisch is aangegeven:

Analyseer welke zinnen en woorden opgeslagen moeten worden. Beperk dit zoveel mogelijk, want zelfs met de huidige efficiënte codeertechnieken zal blijken dat de benodigde geheugenruimte al snel groeit. Bepaal ook de toegestane maximum kostprijs. Beide uitkomsten geven dan een eerste indruk van hetgeen haalbaar kan zijn.

Dan komt eigenlijk de moeilijkste vraag: welke kwaliteit moet minimaal worden gewenst van de spraak uit de luidspreker, om een succesvol produkt te krijgen. Op deze vraag is hier geen regeltje aan te geven. Slechts demonstraties met evaluatie boards of met bandrecorderopnames gemaakt door de chipfabrikanten kunnen U nu helpen om vast te stellen welke kwaliteit U minimaal nodig acht. Let wel, deze keuze is niet gemakkelijk, want vele spraakchips hebben zo op het eerste gehoor een vergelijkbare kwaliteit, maar toch verschillende hinderlijke "bijgeluiden". (De maat "kwaliteit" is dan ook moeilijk te kwantificeren. In een vorige lezing is dit al eens uitgewerkt en zijn kwaliteit-meetmethoden aangegeven.)

Wat ook kan helpen zijn beschikbare vergelijkingsrapporten waarin chips vergeleken zijn na langdurige luisterproeven, bijv met de diagnostische rijmtest. In januari was over deze vergelijkingsmethode een

voordracht van TNO, en er zal nu niet verder op worden ingegaan.

Als na deze excercitie een globale functionele requirement specificatie is opgesteld, komen de volgende punten aan de beurt:

Hoe zijn de mogelijkheden om de tekst ingesproken te krijgen? Moet je daarvoor een tape opsturen naar de chipfabrikant, of heeft die in de buurt een support centrum. Let er wel op dat de tekst verwerkt wordt door iemand van je eigen taal. Want al te vaak moeten de woorden en zinnen na de eerste codeerslag bijgeschaafd worden door tussenkomst van iemand achter een terminal.

Voor dit zogenaamde editen moeten een heel stel regels in acht worden genomen, evenals voor het inspreken van de woorden en zinnen. Maar hier zal ik verder niet op ingaan.

Van sommige fabrikanten kunt U zo'n verwerkings station kopen en om het werk zelf doen. Voor een optimaal resultaat komt echter wel enige ervaring kijken. Een spreker van Philips vanmiddag zal zo'n verwerkingstation nader toelichten en demonstreren.

De interface naar de rest van Uw systeem mag niet al teveel problemen geven en dit kan de keuze verder beperken.

Tenslotte zijn er nog enkele punten die toch ook meegenomen moeten worden zoals de beschikbaarheid van evaluation boards, van de power consumption, de benodigde extra lowpass filters achter de chip Digitaal-Analoog omzetter(s) en soms is het belangrijk dat de chip in een kleinere behuizing geleverd kan worden of zelfs zonder.

Het probleem van de second sourcing moeten we maar even van ons afzetten. Er zijn officieel nog nagenoeg geen spraakchips "ge-second-sourced".

Om dan te komen tot een optimaal opgeslagen stuk tekst, moet de volgende ontwikkelgang doorgemaakt worden, zoals op de overhead schematisch is aangegeven.

Na het definieren van de human interface en het bepalen van de stukken tekst en de woorden en na de keuze van de spreker, wordt de tekst ingesproken in het verwerkingsstation, rechtstreeks of via een tape. De tekst wordt verwerkt en door de operator voor de eerste keer bijgeschaafd. Dit bijschaven en bijwerken moet meestal omdat het verwerkingsysteem en het analyse algoritme niet optimaal werken. Onder andere pitch-fouten zoals pitchverdubbeling zijn vaak voorkomend en via een editor kun je dat dan achteraf snel zien en herstellen.

Daarna wordt de resulterende spraak uit de chip aan een groep mensen ter beoordeling voorgelegd. Hierna zal zeker nog een edit-sessie nodig zijn, en misschien nog meerdere om een optimaal resultaat te krijgen.

Op overhead 5 zijn een aantal speech-synthesis chips aangegeven:

PRODUCT AREA: STORED SPEECH — Overhead 5

MANUFACTUROR	CHIP TYPE		
AMI	S3610	S3620	
FUJISTU	MB87060		
GENERAL INSTRUM.	SP0250	SP0256	SP1000
HITACHI	HD38880	HD61885	
MATSUSHITA	MN6401	MN1261	
MITSUBISHI	M58817		
NEC	UPD7752		
PHILIPS	MEA8000		
SANYO	VSY100	LC8100	
TEXAS INSTRUM.	TMS5100	TMS5200	TMS5220
TOSHIBA	T6721		
HARRIS	HC55XX		
NATIONAL SEMICON.	MM54104		
OKI	MSM5205	MSM5218	
SHARP	LR3680		
TEXAS INSTRUM.	TMS3470		
VOTRAX	SC01		

* NEXT FOLLOWS A DEMO WITH MEA8000, TMS5220, MM54104

De laagste prijs ligt ongeveer op 2 dollar. De eerste groep op de overhead omvat chips die m.b.v. prediction en digital filtering de spraaksignalen samenstellen. De tweede groep omvat chips die m.b.v. golfvormcodering de spraaksignalen ten gehore brengen. De derde groep geeft een chip aan die een set phonemen heeft opgeslagen, zodat de chip door sturing van buitenaf phonemen aaneen kan rijgen tot volledige woorden en zinnen (lage kwaliteit).

PRODUKTEN: TEKST NAAR SPRAAK OMZETTING

Een ander belangrijk toepassingsgebied gaat dat van de tekst-naar-spraak-omzetters worden. De omzetter, op een enkele printplaat of als een klein systeem in een doos, krijgt dan tekst-ASCII characters uit bijvoorbeeld een personal computer of telecommunicatielijn toegevoerd, waarna de aangeboden tekst via een luidspreker ten gehore wordt gebracht via allerlei regels en rekenalgoritmes in de omzetter.

PRODUCT AREA: TEXT TO SPEECH Overhead 6

* BOARDS/SYSTEMS

* MANUFACTURORS:
  DEC, SPEECH PLUS, INFOVOX, ACKERMAN, ALPHA PRODUCTS, INTEX MICRO SYSTEMS, MARYLAND COMPUTER SERVICES, STREET ELECTRONICS, TELESENSORY

* HOW TO CHOOSE:
  - SYSTEM INTERFACE
  - QUALITY, DRT TESTS
  - OTHER LANGUAGES
  - SUPPORT
  - ROOM FOR EXPANSION
  - FORM FACTOR
  - POWER CONSUMPTION
  - COSTS
  - SYSTEM INTEGRATION COSTS

* COMPLETE DESIGN 10-30 MANYEARS

* NEXT A DEMO OF A LOW-COST TEXT-TO-SPEECH CONVERTER WITH EXTREME SIMPLE ALGORITMS.

De regels en algoritmes voor de omzetting van kale tekst naar goede kwaliteit spraak zijn uiteraard van taal tot taal verschillend. De volgende spreker zal dit voor de Nederlandse taal nader toelichten.

Voor de Nederlandse taal is nog geen omzetter op de markt. Het ontwikkelen van de algoritmes is een tamelijk kostbare zaak. Zo waren voor de ontwikkeling van de Engelstalige omzetter (1 board) van Speech Plus in zijn huidige vorm in totaal 30 manjaren nodig, maar daarvoor moest dan ook alles voor de eerste keer bedacht worden. Een omzetter voor de Nederlandse taal kan ongeveer 5 a 10 manjaar vergen. Dit kan verkort worden door bijvoorbeeld de ontwikkeling voor de Nederlandse taal elders in een groep onder te brengen die al een omzetter gemaakt heeft voor bijvoorbeeld Zweeds of Duits.

De punten die in de gaten gehouden moeten worden bij een eventuele keuze zijn op deze overhead (6) weergegeven.

Tot slot van deze overhead zal ik nu nog even laten horen hoe een bestaande omzetter voor de Engelse taal klinkt, waarbij de omzet-regels tot een minimum zijn beperkt. Hoewel de kosten (100 dollar approx.) laag zijn, zal dit produkt niet geaccepteerd worden en weer van de markt verdwijnen.

PRODUKTEN: SPRAAKHERKENNING

Op het gebied van de spraakherkenning zijn ook al vele fabrikanten actief. Een overzicht is gegeven op deze overhead, waar we onderscheid gemaakt hebben naar enkele parameters, zoals de prijs, geschiktheid voor herkenning van korte zinnen dan wel losse woorden, en de spreker(on)afhankelijke herkenning.

Met sprekerafhankelijk wordt hier bedoeld dat dan een spreker al eerder woorden en teksten heeft ingesproken en de herkenner daarna eigenlijk alleen klanken, woorden en teksten van die ene spreker herkent.

Voor degene die de keuze moet maken voor een spraakherkennings-systeem, is de zaak er niet gemakkelijker op gemaakt door de fabrikanten, aangezien bijna allen beweren dat hun herkenners toch wel 98 a 99 procent van de woorden goed herkennen, terwijl maar zeer weinigen dit onder realistische omstandigheden ook waarmaken. Onder realistische omstandigheden wordt hier o.a. verstaan: een flinke hoeveelheid omgevings lawaai en een spreker die slecht articuleert of weinig heil ziet in het systeem en daardoor niet al te zeer zal meewerken aan het succesvol opereren van het herkenningssysteem. Bovendien zal de gebruiker af en toe onverwachte geluiden maken zoals bijvoorbeeld zuchten of (onnadenkend) vragen aan zijn buurman hoe laat het is enzovoort. Als het spraakherkenningssysteem hier niet tegen kan en deze normale menselijke uitingen niet kan onderscheiden, dan kunt U er verzekerd van zijn dat het systeem na verloop van tijd gaat tegenvallen bij zowel de gebruikers als het management.

De meest succesvolle spraakherkennings-systemen zijn tamelijk duur door de nogal uitgebreidde elektronische voorzieningen die geimplementeerd moeten worden. Wel is het zo dat door het vinden van slimmere

herkenningsalgoritmes de kostprijs wellicht mede zal dalen. Op overhead 7 worden de meest succesvolle systemen aangegeven.

PRODUCT AREA: SPEECH RECOGNITION Overhead 7

* MANUFACTURORS: TOTAL: 75
  - CHIPS
  - BOARDS
  - SYSTEMS

MANUFACT.	PRODUCT	PRICE U$	DEP/IND	(NON-)CONT.	WORDS
DRAGON	MARK11	10	DEPEND.	NON-CONTIN.	30-300
SCOTT	SHADOW	1000	DEPEND.	NON-CONTIN.	80
INTERSTATE	VRT300	1100	DEPEND.	NON-CONTIN.	80
NEC	SR100	2000	DEPEND.	CONTINUOUS	120
VOTAN	V5000	6000	DEPEND.	NON-CONTIN.	256
INTERSTATE	VRT10X	5000	DEPEND.	NON-CONTIN.	80
NEC	DP200	15000	DEPEND.	CONTINUOUS	150
VERBEX	3000	20000	DEPEND.	CONTINUOUS	120
NEC	SR1000	60000	INDEPEN.	CONTINUOUS	20

OTHERS SYSTEMS FROM:

VOICE CONTROL SYSTEMS, INTEL, INFOVOX, TRESHOLD, AURICLE, BRIDGEPORT, COVOX, ITT, SPEECH SYSTEMS, TEXAS INSTR., CENTIGRAM, GEN. INSTR., HP, KEY-TRONICS, MATSUSHITA, LINKABIT, PANASONIC, SHARP, TOSHIBA, WEITEK, WOLFDATA, ETC.

CHIP FROM:

NEC, INTERSTATE, GENERAL INSTRUM., WEITEK, MATSUSHITA

Spraakherkenners worden momenteel hoofdzakelijk toegepast met redelijk succes in die situaties waar de gebruiker al handen en ogen moet gebruiken voor andere zaken, zoals bij inspectie van goederen, bij het sorteren in een magazijn waar de goederen zo snel mogelijk in een database moeten, bij logistiek, bij controle van apparatuur en produktie processen, bij controle via toetsen borden.

(Als voorbeeld kan dienen de fabrieksafdeling voor binnenkomende goederen, waar van elk pakket oorspronkelijk eerst het etiket naar boven moest worden gedraaid. Daarna werden de gegevens afgelezen en op een terminal ingestoetst, en vervolgens werd het pakket op de band gelegd, vanwaar de magazijn computer onder besturing van de ingevoerde gegevens, het pakket in het magazijn onder-bracht.

Met de komst van het spraakherkenningssysteem verviel het handmatig intoetsen, en kon worden volstaan met het inspreken van de etiket-gegevens op het pakket.)

Op overhead 8 is compact weergegeven welke aspecten in beschouwing moeten worden genomen om te komen tot een juiste keuze van een spraakherkenningssysteem.

PRODUCT AREA: RECOGNIZERS Overhead 8

* WHAT TO TAKE INTO ACCOUNT:
  - COST EFFICIENCY CALCULATIONS
  - HUMAN INTERFACE FACTORS
  - SYSTEM INTERFACE (OUTPUT)

- SPEAKER RATE	- NOISE LEVEL
- ACCURACY	- VOCABULARY SIZE
- PROMPTING/FEEDBACK	- ERROR HANDLING
- VOCABUL. DEVEL.TOOLS	- HARDWARE COSTS
- MICROPHONE TYPE	- ISOLATED/CONTIN. SPEECH
- SPEAKER (IN-)DEPEND.	- INITIAL TRAINING
- RETRAINING	- MONITORING OF WORKTASK

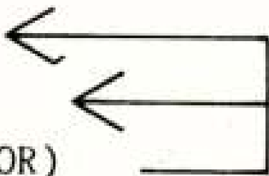
* HARDWARE COSTS VERSUS INSTALLATION COSTS: 40 TO 60 !!!
* TRAINING OF MANAGEMENT REQUIRED ALL TO OFTEN
* BE AWARE OF NON-COOPERATIVE USERS
* USE FULL REQUIREMENT SPECIFICATION
* DESIGN SYSTEM INTEGRATION CAREFULLY
* DESIGN ERROR CORRECTION TECHNIQUES IN THE HUMAN INTERF
* SMALL VOCABULARY OFTEN BETTER AS LARGE ONE

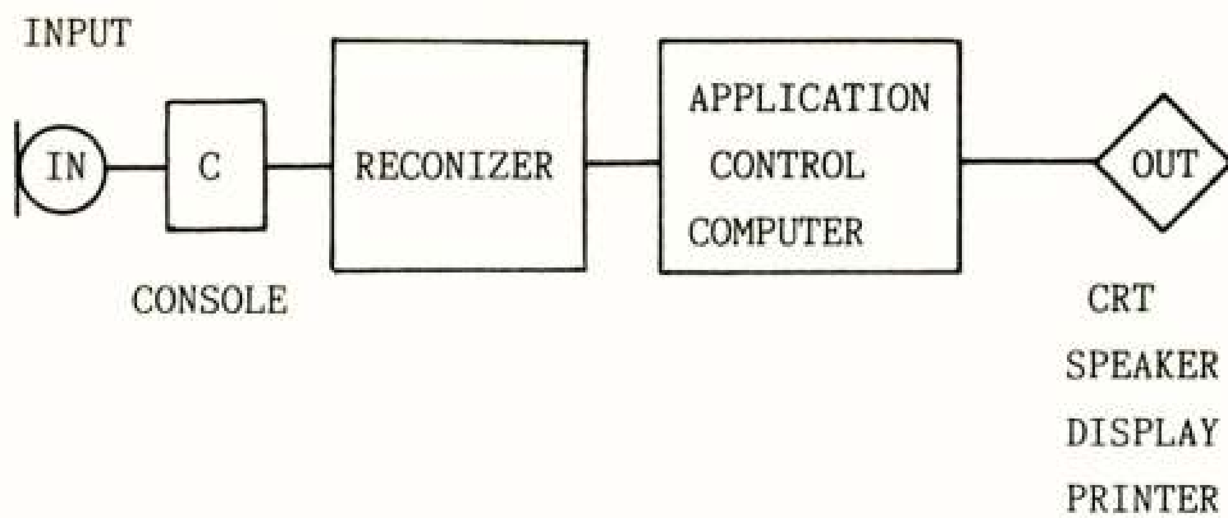
In de volgende overhead 9 is schematisch een methode aangegeven hoe bepaald kan worden of een herkenningssysteem kan voldoen.

PRODUCT AREA: RECOGNIZERS Overhead 9

* TOP DOWN ANALYSIS OF A VOICE RECOGNITION INSTALLATION

1- IS THE INSTALLATION EFFECTIVE FOR SAY NEXT 5 YEARS
2- REDUCES INSTALL. STRESS COMPARED WITH THE OLD WAY
3- CONSTRUCT HUMAN-MACHINE DIALOG
4- SELECT HARWARE
5- TRAIN OPERATORS
6- DOES IT WORK (MONITOR)





PRODUKTEN: VOOR TELECOMMUNICATIE-DOELEINDEN

Als laatste toepassingsgebied van de spraaksignaal-verwerking noem ik hier de telecommunicatie.
Gelet op de beschikbare tijd en ruimte moeten we ook hier ons weer beperken tot de hoofdzaken.

Daatoe beperken we ons even tot de real-time communicatie tussen personen via een telecommunicatie verbinding. (Voor andere toepassingen kunnen wellicht andere lezingen worden georganiseerd, zoals voor voice mail, voice store and forward, stemgestuurd telefoonnummers kiezen, en database access via telefoonverbindingen. Maar heel wat aspecten die in de voorafgaande overheads zijn besproken kunt U voor die toepassingen ook laten gelden.)

Om verschillende redenen kan het nodig zijn dat de spraak digitaal over een telefoonlijn wordt gestuurd. Dan moet meestal de datanelheid zo klein mogelijk gehouden worden. Bij voorkeur 2400 of 4800 of misschien ook nog wel 9600 bits per seconde.

De redenen voor de digitalizering kunnen zijn dat het gedigitalizeerde spraak signaal dan elders in een systeem kan worden opgeslagen en verder verwerkt. Inpassen in datanetwerken is dan goed denkbaar. Ook is versleuteling mogelijk voor geheimhouding, zodat meeluisteren wel erg moeilijk gemaakt kan worden. En een goede reden kan zijn dat de gedigitaliseerde spraak beter klinkt bij de ontvangende persoon als het gaat om een long-distance call dan wanneer het ongecodeerd dus gewoon analoog verstuurd zou worden.

De beschikbare technieken voor de codering van de spraak zijn eigenlijk weer dezelfde als in eerdere toepassingen al zijn verwerkt. Het enige verschil is dat de codering nu real-time moet geschieden wat voor het genereren van spraakinformatie voor opslag zoals bij overhead 5 niet nodig was.

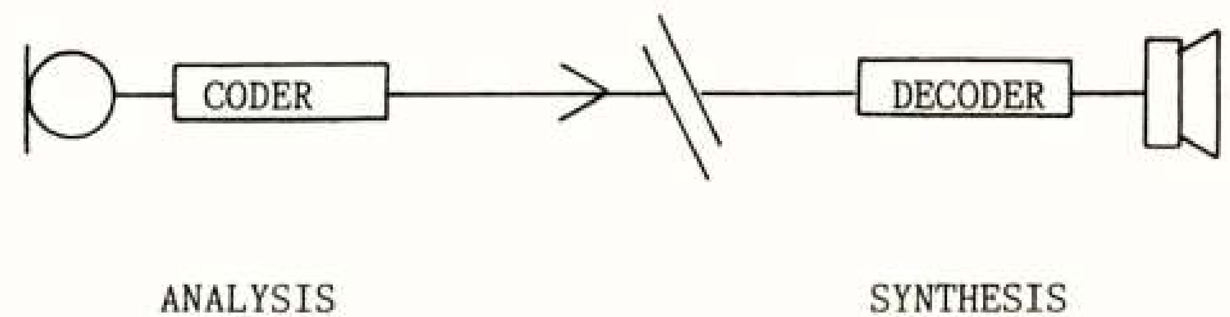
Om een minimale bitrate en toch een acceptabele kwaliteit na synthese te verkrijgen in real-time moet de hulp ingeroepen worden van krachtige digitale signaal processors zoals van Texas Instruments de TMS320 en van NEC de 7720, gekoppeld aan krachtige microprocessors als bv 68000. Sommige fabrikanten als Philips en Motorola hebben zelfs complete signaalprocessor chip sets hiervoor beschikbaar.

Aan de ontvangerzijde kan vaak gebruik worden gemaakt van de spraaksynthese chips zoals die al eerder zijn beschreven. De synthese is niet het probleem, de analyse ofwel de codering van het spraaksignaal is de bottleneck.

In overhead 11 zijn nog enkele belangrijke begrippen aangegeven die in beschouwing moeten worden genomen bij de keuze van zo'n codeer- en decodeersysteem.

PRODUCT AREA: COMMUNICATION — Overhead 10

BASIC SCHEME



ANALYSIS — SYNTHESIS

* REAL TIME CODING METHODS
- CVSD
- APC
- LPC
- PARCOR
- FORMANT

* TAKE INTO CONSIDERATION
- COMPATIBILITY
- STANDARDS (LPC-10)
- SENSITIVITY FOR BIT ERRORS
- DELAY IN CODING/DECODING
- DATA RATE VS QUALITY
- COST ASPECTS
- NOISE ENVIRONMENT

LITTERATUUR

Tot slot volgt hier nog een overzicht van enkele van de boeken en tijdschriften die meer detailinformatie over de behandelde stof kunnen geven.

LITTERATURE Overhead 11

BOOKS:

- DIGITAL PROCESSING OF SPEECH SIGNALS (RABINER)
- LINEAR PREDICTION OF SPEECH (MARKEL)
- SELECTING AND DESIGNING AND USING SPEECH RECOGNIZERS (LEA)

MAGAZINES:

- SPEECH TECHNOLOGY (MEDIA DIMENSIONS)
- TRANSACTIONS ON ACOUSTICS, SPEECH AND SIGNAL PROC. (IEEE)
- TRANSACTIONS ON COMMUNICATIONS (IEEE)
- CONFERENCE PROCEEDINGS OF THE ASSP (IEEE)

Voordracht gehouden tijdens de 322e werkvergadering.

GIGABIT ELEKTRONICA, WAT, WAAROM EN HOE?

Th. G. van de Roer
Technische Hogeschool Eindhoven, Afdeling Elektrotechniek

Gigabit Electronics, what, why and how? The newly emerging field of ultrafast digital electronics is reviewed. Possible applications are mentioned, and a discussion of the factors limiting the pulse response of logical circuits is given followed by a comparison of present day Silicon and Gallium Arsenide technologies. Finally, present and emerging manufacturing methods are described, as well as future possibilities for new devices.

WAAROM?

Onze samenleving heeft zich sinds de industriele revolutie ontwikkeld tot een uitermate complex systeem dat zich o.a. kenmerkt door een vergaande graad van specialisatie (zie bv. Alvin Toffler's boek "The Third Wave"). Het afstemmen van al deze specialistische aktiviteiten, evenals de toegenomen democratisering van het bestuur, maakt een dicht netwerk van communicatiemiddelen nodig. Niet voor niets heeft in Toffler's boek het woord "communications" de meeste verwijzingen. In onze eeuw zijn naast het gesproken en gedrukte woord de elektronische communicatiemiddelen opgekomen die ondertussen het leeuwendeel van de communicatie voor hun rekening nemen. Door de verspreiding van de westerse beschaving over de aardbol en de toename van de wereldbevolking neemt de behoefte aan communicatiecapaciteit stormenderhand toe. Een andere ontwikkeling is de digitalisering van de informatieverwerking waardoor steeds meer pulstransmissiesystemen in gebruik komen.

Aan de toenemende behoefte aan communicatiecapaciteit kan tegemoetgekomen worden door het in gebruik nemen van steeds meer communicatiekanalen maar hieraan zijn vrij nauwe fysieke en economische grenzen gesteld. Daarom zijn we gedwongen de capaciteit van de kanalen te vergroten door hogere draaggolffrequenties en hogere bitrates toe te passen.

Behalve de telecommunicatie in engere zin zijn er nog andere toepassingsgebieden waar steeds hogere snelheden verlangd worden of binnenkort zullen worden:

- Radar en Remote Sensing. In radarsystemen is er een trend naar het extraheren van steeds meer informatie uit het gereflecteerde signaal en naar kortere pulsen voor hogere resolutie. De schakelingen die hiervoor nodig zijn, pulsvormers, A-D converters, correlators en vermenigvuldigers zullen Gigabit per seconde snelheden moeten hebben. Remote-sensing systemen, i.h.b. observatiesatellieten, produceren enorme hoeveelheden data. Ook als deze niet direct verwerkt worden zijn Gbit/s circuits nodig om ze op te slaan.

- Computers. Het vooruitzicht van computers met GHz klokfrequenties is fascinerend. Dit lijkt echter als toepassing verder weg te liggen dan de vorige omdat met de huidige klokfrequenties nog veel gewonnen kan worden via het verbeteren van de architektuur, bv. door parallelverwerking. Echter, voor speciale toepassingen is er nu al een markt, bv. onderdelen voor de hiervoor genoemde radarsystemen: A/D converters, vermenigvuldigers en geheugens.

- Instrumentatie. Wanneer er Gbit circuits zijn moet er ook meetapparatuur zijn die deze circuits aankan. De meest geavanceerde circuits zullen juist in deze apparatuur gebruikt worden. Voorbeelden zijn pulsvormers en -versterkers, sampling circuits, frequentiedelers en woordgenerators.

EEN NIEUW VAKGEBIED: GIGABIT ELEKTRONICA

Als we praten over ultrasnelle digitale elektronica dan bedoelen we bit-rates die de 1 Gbit/s benaderen of overschrijden. Dit stelt geheel nieuwe eisen aan schakelingen en komponenten. We zien dan ook langzamerhand een nieuw vakgebied ontstaan dat wel populair aangeduid wordt met Gigabit elektronica. Zonder de recente ontwikkelingen in de halfgeleidertechniek zou dit vakgebied niet mogelijk zijn. Ook is er een duidelijke input vanuit de microgolftechniek: de bovengrens van het frequentiespectrum ligt in het microgolfgebied wat voor de elektronicus betekent dat hij zich zorgen moet gaan maken over de propagatie en reflectie van signalen op transmissielijnen en zich de denkwijze en de methoden van de microgolftechnicus eigen moet maken. Ook de te gebruiken komponenten, zoals transistoren, profiteren van de ontwikkelingen die in de analoge microgolfelektronica hebben plaats gevonden. We mogen dus met recht spreken van een interdisciplinair vakgebied, Fig. 1.

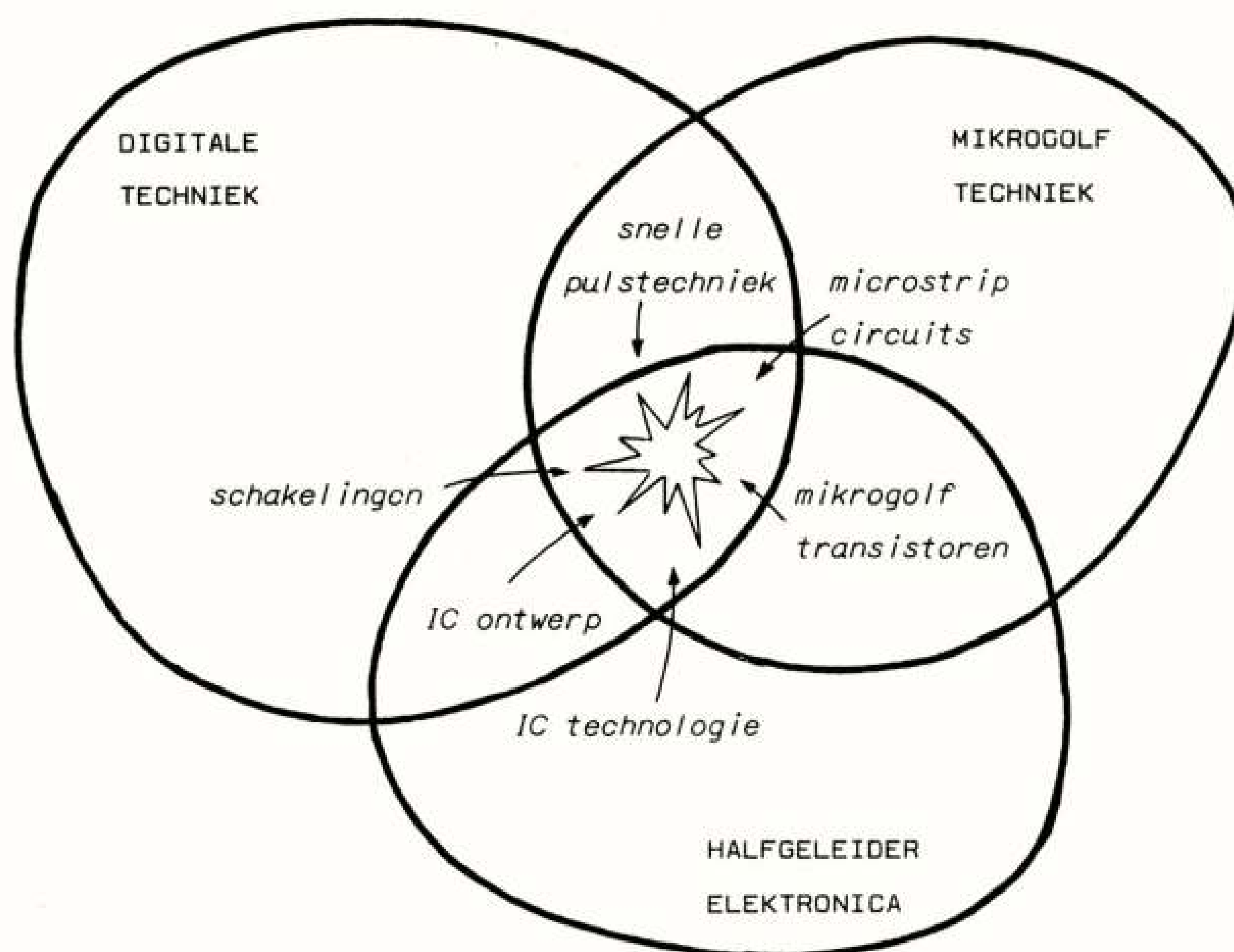


Fig. 1. Het interdisciplinaire karakter van Gigabit Elektronica

We kunnen ons nu afvragen waarom niet alle circuits GHz bandbreedte hebben, m.a.w. wat beperkt de bandbreedte? We kunnen drie hoofdoorzaken onderscheiden:

1. de intrinsieke responstijd van de schakeltransistor, grootteorde 10-100 picoseconden;
2. de RC-tijdconstanten van de in- en uitgangscircuits, grootteorde 100-1000 psec;
3. signaallooptijden op de chip, 10-100 psec.

In logische circuits gebruiken we een transistor als een schakelaar die in het ideale geval in oneindig korte tijd schakelt tussen weerstand nul en oneindig. In werkelijkheid heeft ook de snelste transistor tijd nodig om van de ene stationaire toestand naar de andere te komen. Vroeger was dit de snelheidsbeperkende factor. Door de vooruitgang van de halfgeleidertechniek die tot steeds kleinere device-afmetingen en daardoor kleinere schakeltijden heeft geleid zijn we nu op het punt waar de circuitimpedanties de beperkende factor vormen. Om de transistor heen zijn capaciteiten aanwezig die geen ontladen moeten worden met een begrensde stroom en dit kost tijd. In de toekomst, als de chipafmetingen erg groot worden, zouden de looptijden op de chip wel eens de snelheid kunnen gaan begrenzen.

Uit het bovenstaande volgt al direct dat we aan een transistor voor snelle digitale schakelingen twee eisen moeten stellen: niet alleen moet zijn eigen schakeltijd kort zijn, ook moet hij veel stroom kunnen trekken om de capaciteiten snel te kunnen op- en ontladen. In het volgende zullen we eerst ingaan op de factoren die de responsie van de transistor zelf begrenzen.

De voor Gigabit elektronica in aanmerking komende transistoren zijn de Silicium bipolaire en Mosfet en de Gallium Arsenide Mesfet. Twee factoren bepalen de snelheid van een transistor: de looptijd van de meerderheidsladingsdragers door de basis, resp. onder de gate, en de interne RC-tijdconstanten, voornamelijk die in het emitter-basis, resp. gate-source circuit. De looptijd is ruwweg gelijk aan de doorlopen afstand (de basisdikte resp. de gatelengte) gedeeld door de snelheid. Wat deze laatste betreft, in de meeste halfgeleiders hebben de elektronen een hogere beweeglijkheid dan de gaten. Om te beginnen moeten we dus zorgen dat de stroomgeleiding door elektronen plaats vindt, dus n-p-n of n-kanaal transistoren. Verder kunnen we ervoor zorgen dat in de basis of onder de gate een hoog elektrisch veld aanwezig is dat de elektronen een zo hoog mogelijke snelheid geeft. Tenslotte kunnen we materialen uitzoeken met een hoge beweeglijkheid. Vandaar dat Gallium Arsenide (GaAs) tegenwoordig in de belangstelling staat als het om snelle transistoren gaat.

De basisdikten en gatelengten zijn in de loop der jaren geslonken van honderden microns tot in de buurt van één micron. Behalve door de vraag naar hogere afsnijfrequenties werd dit ook gestimuleerd door andere voordelen: minder dissipatie en kleiner oppervlak dus meer devices per chip. Met de huidige technologieën zijn basisdikten van ca. 0.1 micron en gatelengtes van ca 1 micron bereikbaar maar nieuwere technieken beloven deze grenzen nog verder te verschuiven, waarover straks meer.

In de tegenwoordige transistoren is de RC-tijd van de basis-emitter, resp. gate-source overgang de beperkende factor, niet de looptijd. Dit geldt vooral voor bipolaire transistoren waar de basisweerstand vrij hoog is omdat de basis bij de gangbare techniek altijd lager gedoteerd is dan de emitter.

Het effect van de parasitaire circuitelementen kunnen we demonstreren aan de hand van een eenvoudige schakeling, een logische inverter, met als schakelaar een veldeffecttransistor, Fig. 2. We nemen aan dat de logische spanningsniveaus 0 en +U zijn en dat de transistor open gaat bij een positieve spanning met een drempelwaarde nul. Als belasting kunnen we een weerstand nemen maar gunstiger is een andere transistor (permanent open) die als een stroombron werkt. Omdat de stroom dan altijd zijn maximale waarde heeft, wordt de capaciteit sneller opgeladen en is de schakeltijd korter.

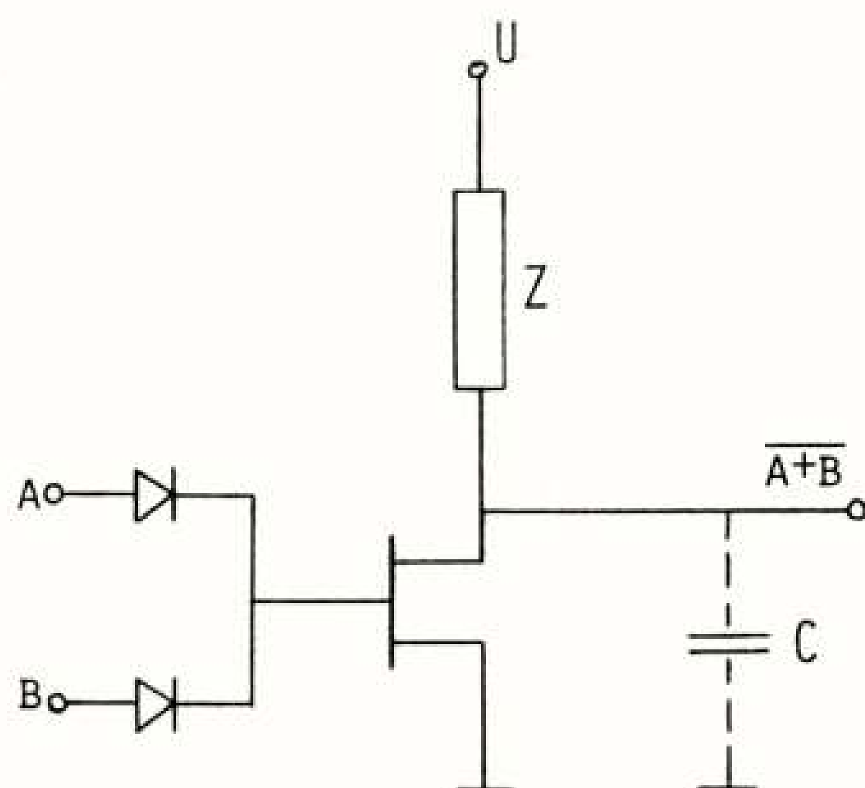


Fig. 2. FET-inverter

In dit geval kunnen we voor de schakeltijd schrijven:

$$t = \frac{C*U}{I_d}$$

De maximale spanning op de gate is U en hierbij levert de transistor een bepaalde I_d. Voor een korte schakeltijd is het van belang I_d zo groot mogelijk te hebben. Dit betekent dat we streven naar een zo groot mogelijke transconductantie, die we voor deze niet-lineaire toepassing definieren als $g_m = I_d/U$. Voor de meeste veldeffecttransistoren geldt met redelijke benadering:

$$I_d = KU^2$$

Waarmee we voor de schakeltijd kunnen schrijven:

$$t = C/KU = C/g_m$$

Voor een gegeven transistor kunnen we dus de schakeltijd verkorten door de logische zwaai te vergroten. Dit kost echter energie. Bij iedere keer schakelen wordt een energie gedissipeerd groot $\frac{1}{2}CU^2$. Daar komt nog bij de dissipatie gedurende de tijd dat de transistor open staat. Bij de maximale klokfrequentie $f = 1/2t$ is deze laatste bijdrage te verwaarlozen en komen we, door U te elimineren, voor het gemiddelde gedissipeerde vermogen tot de formule

$$P = 2C^3f^3/K^2$$

Hogere snelheid gaat dus ten koste van een flinke toename van de dissipatie, tenzij we C kleiner en/of K groter weten te maken.

Nu is volgens de eenvoudige theorie van een Fet met lang kanaal K gelijk aan (zie Fig. 3):

$$K = \frac{\varepsilon\mu w}{2aL}$$

waarin ε de dielektrische permittiviteit en μ de beweeglijkheid is. Deze formule geldt nog maar in beperkte mate voor de kort-kanaal Fets die we in snelle schakelingen gebruiken. Ze geeft echter wel aan van welke factoren K afhangt. Vergroting van w zet weinig zoden aan de dijk omdat C dan evenredig toeneemt. Verkleining van a en L en verhoging van de beweeglijkheid hebben wel resultaat.

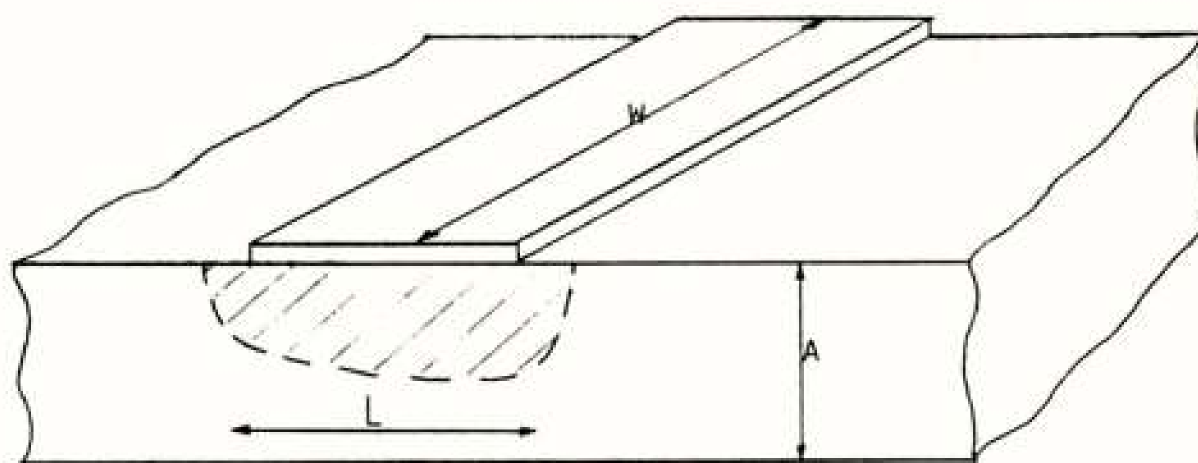


Fig. 3. FET kanaal

Uit deze sterk vereenvoudigde analyse blijkt dat korte kanaallengte en hoge beweeglijkheid niet alleen goed zijn voor een snelle intrinsieke responsie van de transistor maar ook voor een korte externe schakeltijd.

Een dergelijke analyse maar dan met een bipolaire transistor zou tot een overeenkomstig resultaat geleid hebben. Vergelijken we nu bipolaire transistoren en Fet's dan blijkt dat de bipolaire transistor het wint vooral omdat zijn transconductantie (in deze toepassing meer relevant dan de stroomversterking) veel groter is dan die van een Fet en zeker een Mosfet.

Om een grotere beweeglijkheid te krijgen moeten we naar andere materialen omzien dan Silicium. Hier komt GaAs naar voren: de beweeglijkheid in dit materiaal is ca 5 maal zo groot als in Si. De ervaring in de analoge microgolftechniek bevestigt deze verwachting: Si bipolaire transistoren komen hier niet veel hoger in frequentie dan ca 5 GHz, terwijl GaAs Mesfet's (Fet's met een Schottky gate) tot ca 50 GHz reiken en deze grens wordt nog steeds verder verlegd.

Over de beweeglijkheid valt nog wel iets meer te zeggen. We moeten nl. bedenken dat de veldsterkten in Fet's en ook bipolaire transistoren zo hoog zijn dat er geen lineair verband meer bestaat tussen veldsterkte en elektronsnelheid. In feite neemt de snelheid niet meer toe boven een bepaalde veldsterkte, zie Fig. 4.

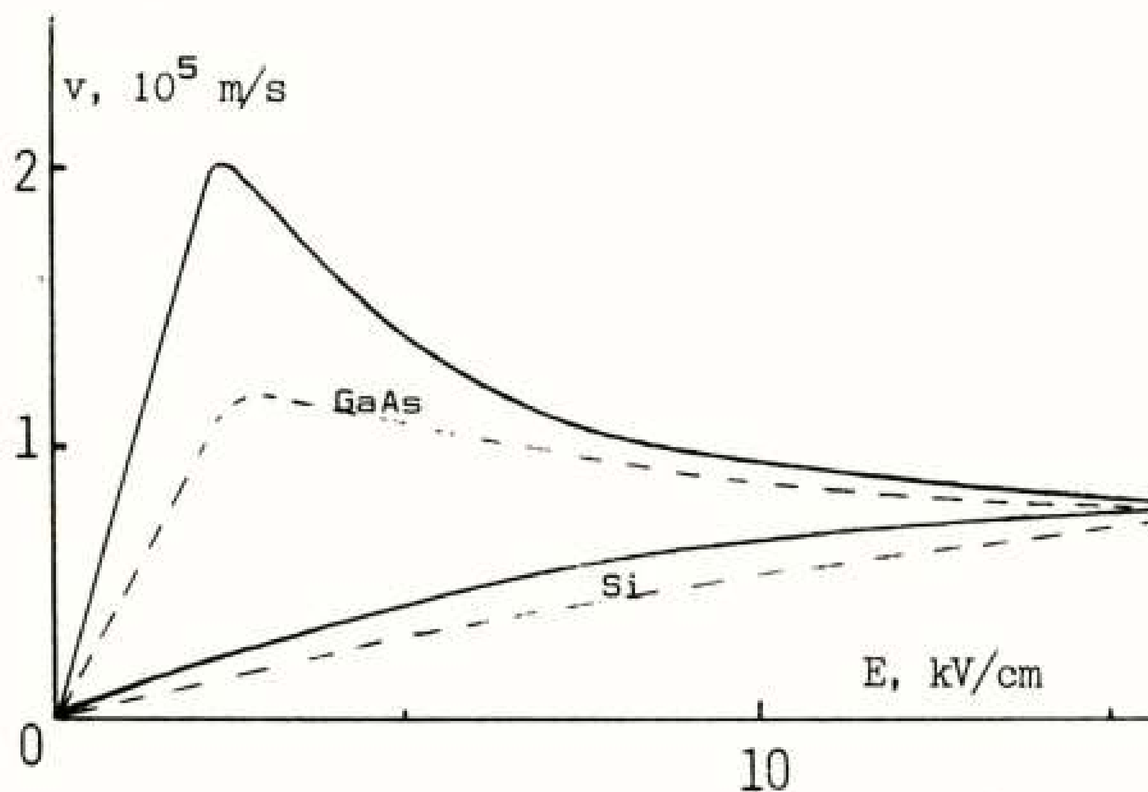


Fig. 4. Elektronensnelheid tegen elektrisch veld
—— ongedoopt materiaal
- - - gedoopt met ca $5x10^{17}$ donoren/cm^3

Dit is een gevolg van het feit dat de elektronen van huis uit een heftige thermische beweging hebben en per seconde een groot aantal botsingen ondergaan. Bij hoge veldsterkten neemt de thermische energie sterk toe zodat de elektronentemperatuur veel hoger kan worden dan die van het kristal. We spreken dan van hete elektronen. De botsingsfrequentie neemt dan ook sterk toe en daardoor heeft een verdere verhoging van de veldsterkte geen toename van de driftsnelheid meer tot gevolg. Het verschijnsel dat in GaAs de snelheid afneemt voorbij een bepaalde veldsterkte komt doordat de effektieve massa van de elektronen toeneemt.

We zouden hieruit mogen konkluderen dat het verschil in snelheid tussen GaAs en Si niet zo groot is als door het verschil in laagveld-beweeglijkheid gesuggereerd wordt. We zien wel dat de maximale snelheid in GaAs bij veel kleinere veldsterkte bereikt wordt en dit betekent dat we dezelfde snelheden kunnen behalen met minder dissipatie.

Het verhaal is hiermee nog niet af want voor kleine devices komt nog een ander verschijnsel om de hoek kijken. Om dat te zien moeten we eens bekijken hoe de snelheid uit Fig. 4 bereikt wordt. In Fig. 5 is uitgezet hoe de elektronsnelheid naar zijn eindwaarde toe gaat als we het veld plotseling aanzetten. In tegenstelling tot Fig. 4 die gemeten waarden geeft is dit een puur theoretische kromme die echter wel gebaseerd is op een goede kennis van de processen die zich in een halfgeleider afspelen.

We zien hier het verschijnsel van de zg. "velocity overshoot" dat vooral in GaAs zeer sterk is. Hoewel het slechts enkele picoseconden duurt is het toch van belang. Als we nl. de snelheid integreren vinden we dat in deze paar ps de elektronen een afstand afleggen van ca. een halve micron en dit is in de orde van kanaallengtes en basisdikten die we tegenwoordig kunnen maken. Elektronen die van de source vertrekken en meteen in een hoog veld terecht komen zijn dus al aan de overkant voordat hun snelheid zijn stationaire waarde bereikt heeft. De snelheid waarmee ze oversteken kan dus belangrijk hoger zijn dan uit de statische v-E karakteristiek van Fig. 4 zou volgen. Dit is niet alleen gunstig voor een korte looptijd maar ook voor een hoge transconductantie.

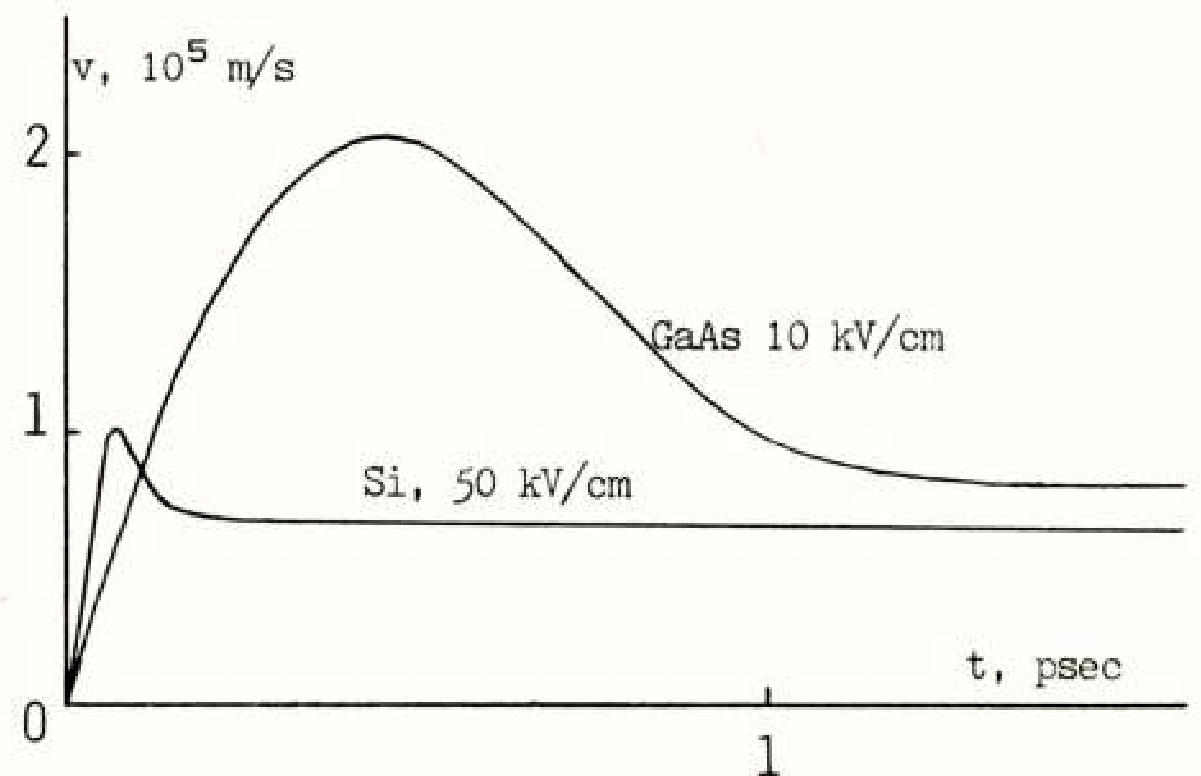


Fig. 5. Inschakelverschijnsel bij het abrupt aanzetten van een elektrisch veld

LOGISCHE FAMILIES

De verschillende schakelingen voor digitale toepassingen kunnen we aan de hand van de gebruikte transistortypen, de toegepaste spanningszwaai etc. indelen in een aantal logische families. In Si hebben we twee hoofdgroepen: bipolair en MOS. Bekende bipolaire families zijn ECL (Emitter Coupled Logic), I^2L (Integrated Injection Logic) en ISL (Integrated Schottky Logic). Bipolaire logica is in principe snel, vooral door de hoge transconductanties die bipolaire transistoren kunnen bereiken. Dit gaat dan ten koste van een grote dissipatie, vooral bij ECL. I^2L is ontwikkeld om de dissipatie te verminderen zodat een hogere integratiegraad mogelijk wordt, maar is dan ook minder snel. ISL neemt een tussenpositie in.

De andere hoofdgroep is gebaseerd op de MOS-transistor. Deze onderscheidt men in NMOS en CMOS die ieder nog weer onderverdeeld zijn. NMOS is de snelste dank zij het gebruik van uitsluitend n-kanaal transistoren. CMOS heeft op de plaats van de belasting in de schakeling van Fig. 2 een p-kanaal transistor die dichtgezet wordt als de schakeltransistor open gaat en vice versa. Hierdoor wordt alleen energie verbruikt tijdens het schakelen en is dus de dissipatie laag, althans in circuits die weinig schakelen, zoals bv. geheugens. Bij veel schakelende circuits is het voordeel niet zo groot meer.

Zoals we gezien hebben heeft GaAs in principe betere fysische eigenschappen dan Si, althans voor snelle schakelingen. De technologie van GaAs is echter moeilijker dan die van Si en bovendien was in het verleden de lithografie niet ver genoeg ontwikkeld om het snelheidsvoordeel te kunnen uitbuiten. Wellicht zou de GaAs-technologie helemaal niet tot ontwikkeling gekomen zijn als er niet een aantal dingen waren die men met GaAs wel en met Si niet kan doen, nl. het opwekken van licht, leidend tot LED's en lasers, en het Gunn-effect, dat gebaseerd is op de negatieve helling in de v-E karakteristiek (Fig. 4) en dat de eerste microgolfoscillatoren met een halfgeleiderelement opleverde.

Na de ontdekking van de halfgeleiderlaser (1961) en het Gunn-effect (1963) begon men pas serieus aandacht aan de GaAs technologie te besteden en in 1970 was men zover dat men kon gaan denken aan de fabricage van microgolftransistoren, waar de hogere elektronsnelheid echt uitgebuit werd. Deze transistor, de GaAs MESFET (Metal Semiconductor Field Effect Transistor, met een Schottky diode als gate) heeft sinds 1975 een spectaculaire ontwikkeling doorgemaakt, met grensfrequenties die voortdurend hoger werden en die nu rond de 50 GHz liggen, en heeft in de microgolftechniek revolutionaire veranderingen teweeggebracht. De niet onaanzienlijke markt die hierdoor opengelegd werd maakte het de moeite waard grote investeringen te doen in de technologie en deze heeft sindsdien dan ook grote vooruitgang geboekt.

Het lag voor de hand dat men deze snelle transistoren ook zou gaan gebruiken voor digitale circuits en al in 1974 werden de eerste gemaakt die al direct veel grotere snelheden lieten zien dan de snelste Si circuits.

De GaAs Mesfet voor logische schakelingen kan in twee typen voorkomen. Beide worden gemaakt in een dunne n-type laag die wordt aangebracht op een semi-isolerend substraat (door de grote bandafstand, 1.45 eV, kan ongedoopt of gecompenseerd materiaal een resistiviteit hebben van 10^8 ohmcm). Met een wat dikkere laag (0.25 micron) geleidt de transistor al bij gatespanning nul (normally on) en met een dunnere laag (0.15 mu) is hij afgeknepen (normally off) en moet er een positieve spanning op de gate gezet worden om hem te doen geleiden. Deze spanning kan niet veel groter zijn dan 0.5 V want dan gaat de gate stroom trekken. Dit beperkt de logische zwaai. Daarom gebruikt men voor dit type ook wel een p-n gate die een iets hogere kniespanning heeft.

De n-on transistor heeft geleid tot twee families, nl. Buffered Fet Logic BFL en Schottky Diode Fet Logic SDFL. Het n-off type is de basis voor Direct Coupled Fet Logic DCFL.

Het semi-isolerende substraat is een groot voordeel voor logische schakelingen: men kan devices eenvoudig van elkaar isoleren, of door de n-laag eromheen weg te etsen of door m.b.v. ionenimplantatie geleidende gebieden in een isolerend substraat te maken, waarin de transistoren gemaakt worden. De verbindingslijnen worden over het substraat gelegd.

Een vergelijkbare techniek in Si is SOS (Silicon on Sapphire) maar deze is duur en moeilijk en is nooit een succes geworden. De laatste tijd experimenteert men met een nieuwe variant, SOI (Silicon On Insulator) waarbij men via een kunstgreep monokristallijn Silicium laat groeien op SiO_2.

Om een vergelijking te kunnen maken tussen de verschillende logische families zet men ze bij elkaar in een zg. speed-power diagram waar de twee meest relevante grootheden, poortdissipatie en poortvertraging, op de assen staan, Fig. 6.

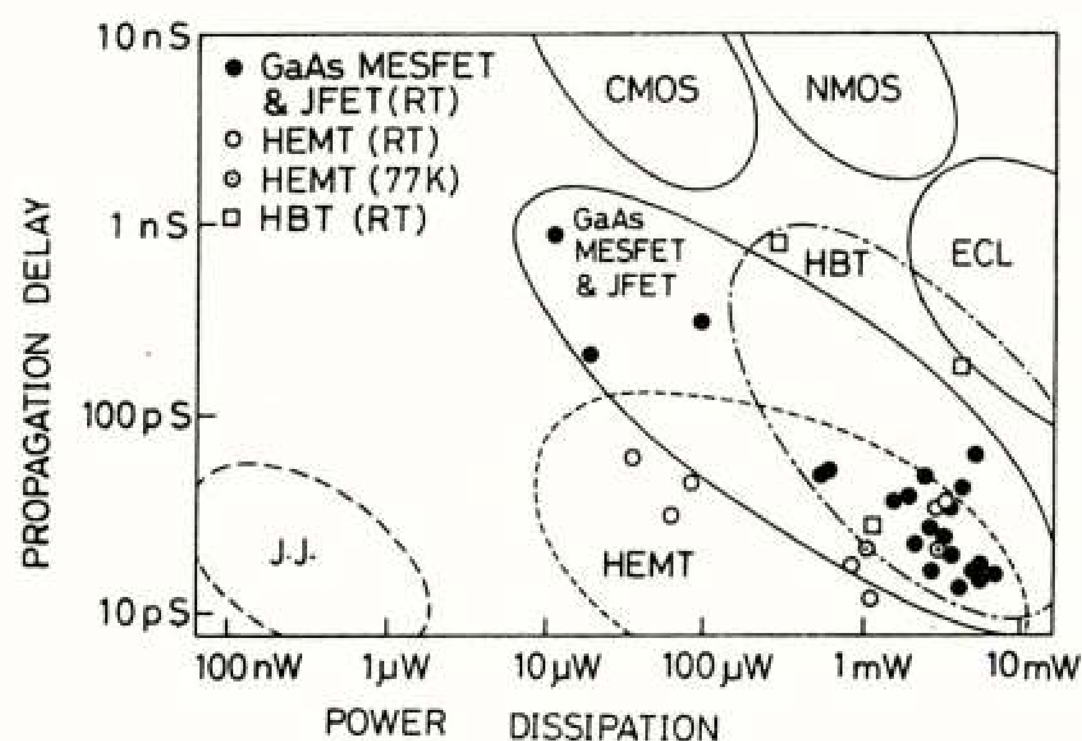


Fig. 6. Speed-Power diagram.
(Met dank aan Prof. H. Hasegawa, Hokkaido University)

Dit soort figuren moeten we altijd met een flinke korrel zout nemen. Ze geven meer een ruwe schatting dan een exacte weergave van de stand van zaken. Enkele gebruikte afkortingen: RT-room temperature, J.J.-Josephson Junction, HBT-Heterojunction Bipolar Transistor, HEMT-High Electron Mobility Transistor (zie verderop).

Een hele belangrijke grootheid ontbreekt in dit diagram, nl. een getal dat aangeeft hoeveel devices men met een bepaalde techniek op een chip kan integreren. Dit is uitgezet in Fig. 7 als functie van de tijd. We zien hier uit dat GaAs nog duidelijk achter ligt op Si. Dit is niet zo verwonderlijk gezien het verschil in ontwikkelingsarbeid die aan beide technologieën besteed is. Als we een ruwe schatting proberen te maken dan komen we voor Si op 1 à 10 miljoen manjaren en voor GaAs op 10 à 100 duizend. Daar staat weer tegenover dat de GaAs technologie mee profiteert van de ontwikkelingen die t.b.v. Si gedaan zijn, met name op onderdelen zoals fotolithografie, lucht- en waterzuivering en ionenimplantatie. Dit verklaart waarom de lijn voor GaAs steiler loopt dan die van Si.

Een ander verschil dat in deze figuren niet tot uiting komt is de kostprijs. GaAs substraatmateriaal is belang-

rijk duurder dan Si. Bovendien zijn de substraten kleiner zodat de bewerkingsprijs per oppervlakteëenheid hoger is. Daar staat tegenover dat voor de huidige GaAs IC's minder maskerstappen nodig zijn dan voor Si. Voorlopig is GaAs nog duurder maar te verwachten wordt dat het verschil in de toekomst kleiner zal worden.

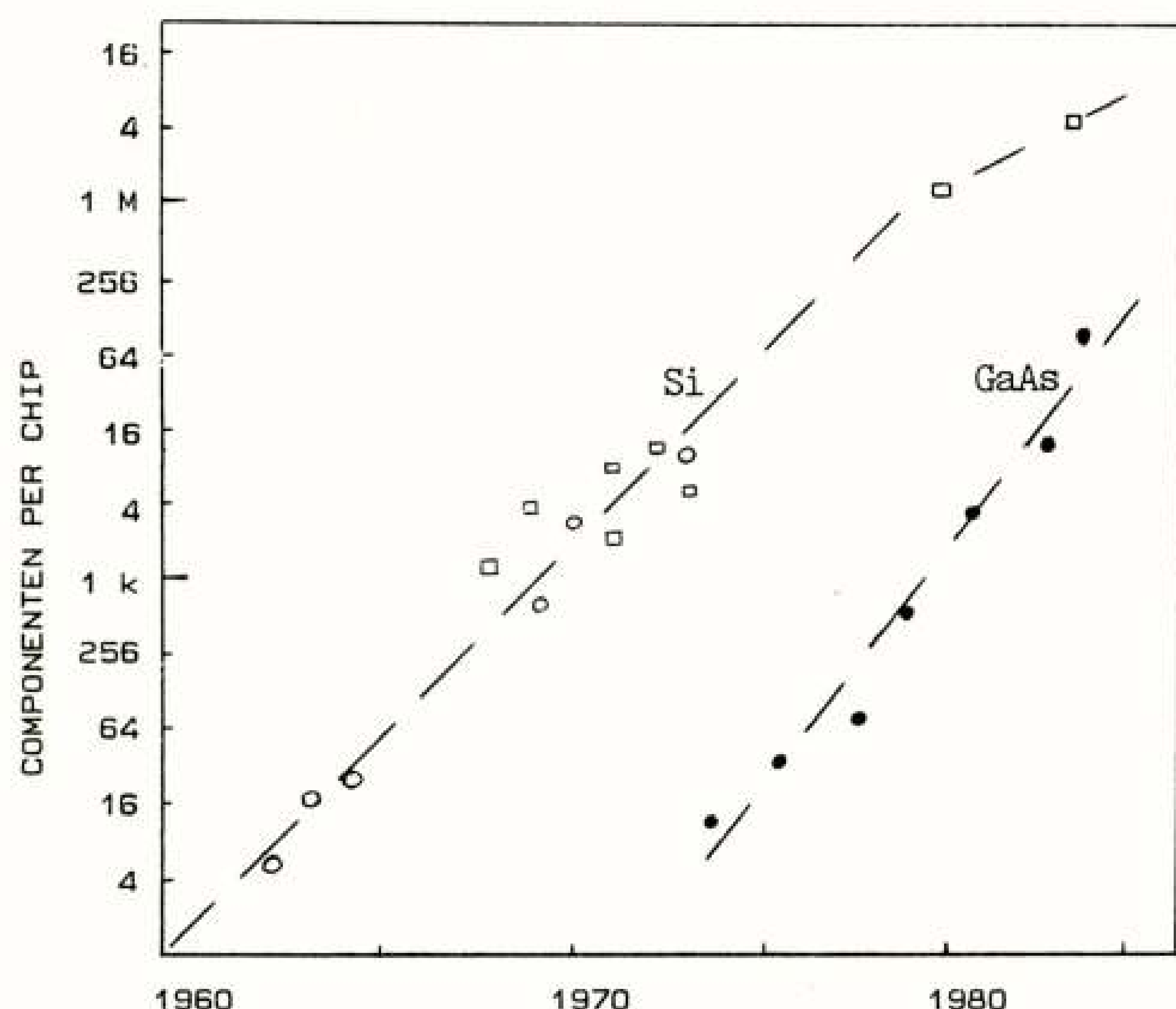


Fig. 7. Werkelijke integratiecapaciteit van Si en GaAs technologie

Voor de Gbit toepassingen van dit moment is LSI nog niet nodig. In Fig. 8 laten we de prestatie van een aantal recente SSI schakelingen zien, dus een nauwkeuriger weergave van een stukje van Fig. 6. Hieruit blijkt dat Si bipolaire schakelingen net zo snel kunnen zijn als GaAs maar dan wel ten koste van veel meer dissipatie.

Resumerend kunnen we zeggen dat voor VLSI toepassingen Si CMOS vrijwel zonder concurrentie is terwijl voor Gbit snelheden en MSI complexiteit GaAs sterk in opkomst is. Voorlopig handhaaft Si bipolair zich hiertussen nog maar een recente Amerikaanse marktstudie voorspelt dat ECL tegen 1995 het veld geruimd zal hebben. Maar ook hier geldt: voorspellen is moeilijk, vooral als het de toekomst betreft.

DE TOEKOMST: NIEUWE TECHNOLOGIEEN, NIEUWE MOGELIJKHEDEN

In de halfgeleidertechnologie kunnen we een aantal processen onderscheiden die vrijwel altijd nodig zijn om een compleet product te maken. Dit zijn: epitaxie, diffusie, implantatie, fotolithografie, etsen, metalliseren en afmonteren. Voor het bereiken van zeer kleine afmetingen zijn vooral epitaxie, implantatie, lithografie en etsen belangrijk en op al deze gebieden vinden dan ook grote ontwikkelingen plaats.

Epitaxie is het laten groeien van een monokristallijne laag op een dito substraat. In de Si-technologie is de belangrijkste methode de gasfase epitaxie VPE. Hierbij wordt een gasvormige verbinding van Si (een hydride of chloride) bij hoge temperatuur ontleed boven een Si schijf waarbij de Si atomen zich op het op het substraat afzetten. Door een gasvormige verbinding van een doteerstof toe te voegen kan de gevormde laag gedoteerd worden.

In de GaAs technologie is gasfase epitaxie ook wel bekend maar de meest gebruikte techniek hier is vloeistofepitaxie LPE. Hierbij wordt het materiaal afgescheiden door afkoelen van een verzadigde oplossing (As in Gallium) waarbij het substraat als kristallisatiekern fungeert. Door Aluminium toe te voegen krijgt men het mengkristal $Al_xGa_{1-x}As$ waarbij x afhangt van de mengverhouding en de groeitemperatuur.

Deze technieken staan bekend als evenwichtstechnieken d.w.z. de mate van groei wordt bepaald door een temperatuurafhankelijk chemisch evenwicht tussen twee fasen. Dit betekent dat het resultaat sterk beinvloed kan worden door kleine fluctuaties. Bovendien zijn de gebruikte temperaturen vrij hoog. Dit alles resulteert erin dat de overgangen tussen verschillende lagen altijd een beetje diffuus zijn. Men kan dus ook geen extreem dunne lagen groeien; ca. 0.1 micron is het minimum. In de toekomstige elektronica, en zeker in de Gigabit elektronica, zijn

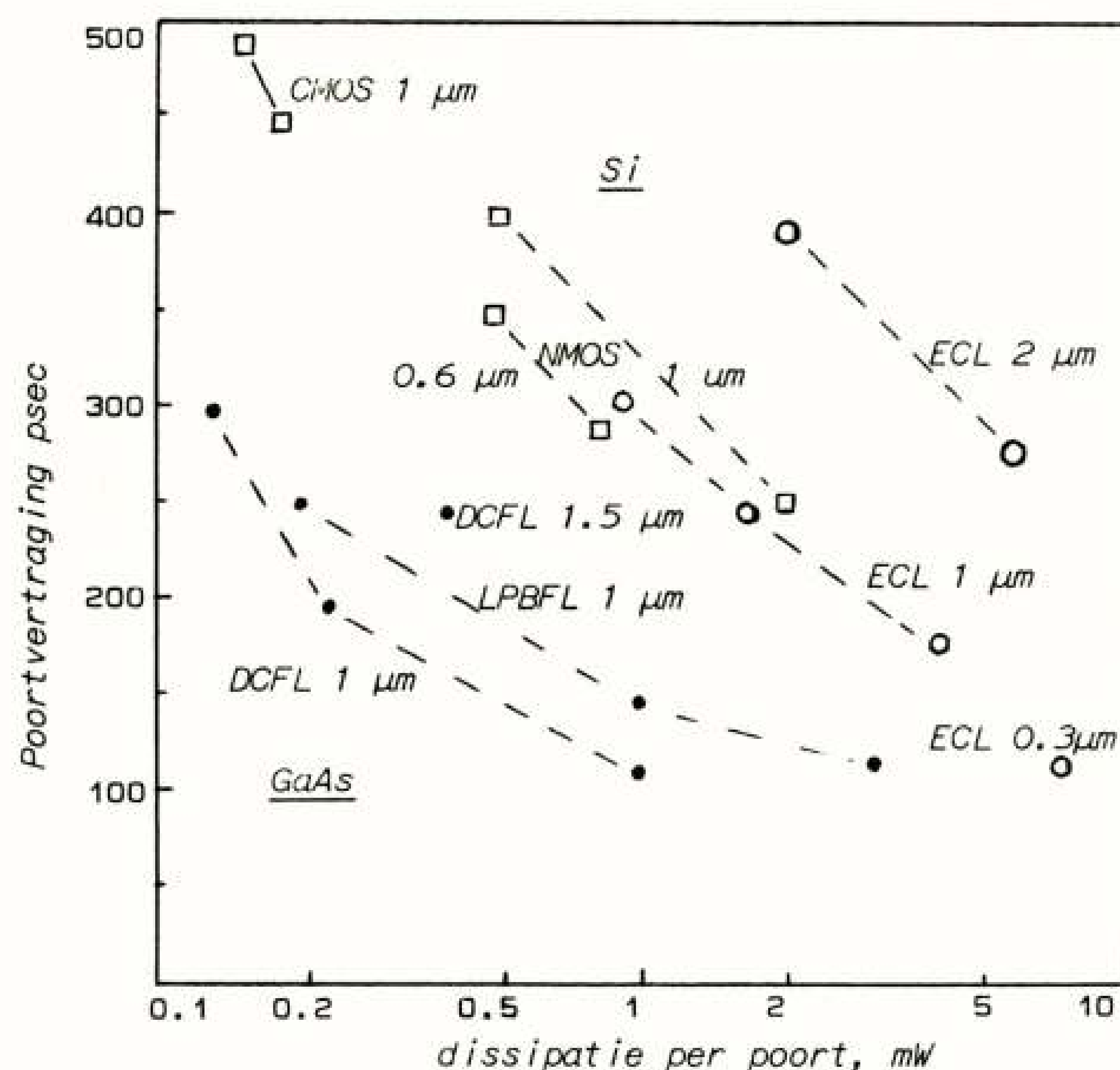


Fig. 8. Prestaties van MSI/SSI circuits 1984 (met dank aan M. Rocchi, L.E.P. Parijs)

dunnere lagen gewenst. Daarom worden de laatste tijd niet-evenwichtstechnieken ontwikkeld, nl. MOVPE (Metal Organic Vapor Phase Epitaxy) en MBE (Moecular Beam Epitaxy). MOVPE is een gasfase techniek die werkt met organische metaalverbindingen, bv. $Ga(CH_3)_3$. Deze ontleden

bij een lage temperatuur en worden niet teruggevormd. De groei is daardoor veel minder temperatuurafhankelijk. MBE is een opdamptechniek in ultrahoog vacuum, ca. 10^{-11} torr, tegen 10^{-7} bij normale opdamptechniek. Deze extreem lage druk is nodig omdat anders te veel onzuiverheden zouden worden ingebouwd vanuit de restgassen. Door het substraat op een matig hoge temperatuur te houden bereikt men dat de gedeponeerde laag monokristallijn aangroeit.

Met MOVPE en MBE kunnen, dank zij het niet-evenwichtskarakter en de lage temperaturen (ca. 500 C tegen 750 of hoger bij de andere technieken) zeer dunne lagen worden gegroeid, tot één atoomdikte toe, en openen daardoor mogelijkheden voor het verbeteren van bestaande devices of het ontwikkelen van geheel nieuwe. Ze zijn echter duur en moeilijk hanteerbaar, MBE door het extreem hoge vacuum en MOVPE door de grote giftigheid van de gebruikte gassen. MOVPE wordt op dit moment voornamelijk toegepast in de GaAs technologie, en wel voor laserfabricage, terwijl MBE zowel voor Si als voor GaAs wordt gebruikt.

Diffusie en implantatie zijn twee manieren om doteringen aan te brengen via een masker op het oppervlak. Diffusie geschiedt meestal vanuit een gasvormige verbinding van de dope die bij hoge temperatuur (Ca. 1100 C) over de plak geleid wordt. Het gas ontleedt en de dope slaat neer op het oppervlak en diffundeert vervolgens naar binnen. Bij GaAs kan dit niet toegepast worden omdat dit materiaal ontleedt bij deze hoge temperaturen.
Ionenimplantatie is een techniek waarbij de atomen van de dope eerst geioniseerd worden, daarna versneld door een spanning van 50-500 kV, en vervolgens in de plak geschoten, waarbij ze enkele tienden micron naar binnen dringen. De kristalstructuur van het materiaal wordt hierbij zwaar beschadigd zodat een warmtebehandeling op ca. 900 C nodig is om het kristalrooster weer te herstellen. Bij hoge implantatiedoses is de beschadiging zo groot dat het materiaal hoog isolerend wordt. Hiervan wordt wel gebruik gemaakt om devices van elkaar te isoleren.

Fotolithografie is het aanbrengen van een patroon in een laag lichtgevoelig materiaal (fotoresist) door belichting via een masker. Meestal werkt men met contactbelichting waarbij het patroon op het masker even groot is als het op de plak moet worden. De kleinste afmetingen die hiermee gemaakt kunnen worden zijn 1 à 2 micron. Met projectiebelichting, waarbij het masker 10 x zo groot kan zijn, en gebruik makend van kortgolvig u.v. licht kan men tot 0.5 mu komen. Voor nog kleinere afmetingen moet men Röntgenstralen of elektronenbundels gebruiken. Elektronenbundels hebben het voordeel dat de bundel bestuurbaar is zodat men zonder masker kan werken. De intensiteit van de bundel is echter laag waardoor het belichten lang duurt. Dit is dus een goede techniek voor het laboratorium maar minder voor produktie. Röntgenstralen hebben het nadeel dat ze niet gefocusseerd kunnen worden zodat alleen contactbelichting in aanmerking komt. De maskers die hiervoor nodig zijn moeten met elektronenbundels gemaakt worden.

Etsen gebeurt nu nog meestal met chemische oplossingen via een fotoresistmasker. Het nadeel hiervan is dat de vloeistof ook zijdelings onder het masker etst zodat het uitgeëtste patroon altijd breder is dan het maskerspoor. Wanneer men submicron patronen wil maken kan dit natuurlijk niet meer. Men zoekt daarom naar andere etsmethoden die wel verticaal maar niet zijdelings etsen. Dit zijn bv. plasma-etsen en ionenbundel-etsen. Bij beide ontstaat de etswerking in principe door de ionen die het materiaal bombarderen. Door de omstandigheden, met name het elektrische veldpatroon nabij het oppervlak, goed te kiezen kan men ervoor zorgen dat de ionen verticaal op het oppervlak aankomen en dus niet onderetsen. Bij plasma-etsen gebruikt men vaak fluor- of chloorhoudende gassen die met het halfgeleidermateriaal reageren tot vluchtige verbindingen.

De toepassing van al deze nieuwe technieken kan leiden tot kleinere devices en dus tot snellere en hoger geintegreerde schakelingen. Ook wordt het mogelijk geheel nieuwe structuren te bedenken en te fabriceren.

De basis van veel nieuwe structuren is de heterojunctie, d.w.z. samenvoeging van twee halfgeleiders met dezelfde kristalstructuur maar verschillende bandafstand, zie Fig. 9. Als voorbeeld is hier een junctie van n-type $Al_xGa_{1-x}As$ (met x ca 0.3) en ongedoteerd GaAs geschetst.

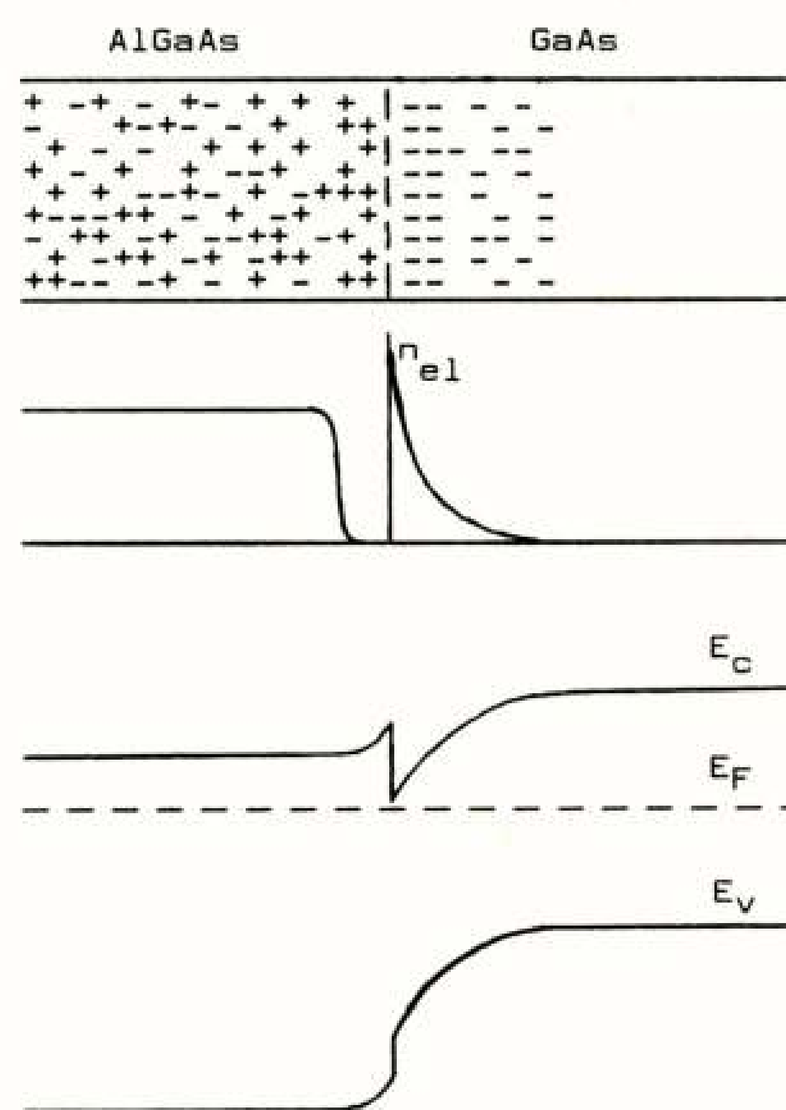


Fig. 9. Een heterojunctie. Van boven naar beneden: Structuur (+ geioniseerde donoratomen, - geleidingselektronen). Elektronendichtheid Energiebandendiagram

Het interessante van een heterojunctie is dat op de overgang een sprong in de geleidings- en valentieband optreedt. Om de consequenties hiervan te doorzien moeten we bedenken dat de geleidingsband (E_C in Fig. 9) in feite de potentiele energie van de elektronen representeert en de valentieband (E_V) die van de gaten maar dan naar beneden toe uitgezet. Het gevolg is nu dat beide soorten ladingsdragers de neiging hebben zich te bewegen naar het materiaal met de kleinste bandafstand. Hiervan wordt al sinds 1970 gebruik gemaakt in halfgeleiderlasers waar het de bedoeling is dat elektronen en gaten recombineren onder het uitzenden van licht. Een dunne GaAs laag wordt ingepakt tussen twee lagen AlGaAs (één n-type, één p). De elektronen en gaten worden samengeperst op een klein gebied en zullen dus snel recombineren.

Het toeval wil dat AlAs en GaAs vrijwel dezelfde atoomafstanden hebben zodat de kristalroosters goed op elkaar passen. Dit moet ook anders krijgen we op het grensvlak een verstoring van de regelmaat van het kristal die voor praktisch alle toepassingen ongunstig is. Een andere combinatie waar dit redelijk lukt is Si-GaP. Wanneer de kristalroosters niet van nature passen moet men ingewikkelder structuren toepassen, bv. $In_xGa_{1-x}As_yP_{1-y}$. Door x en y te varieren kan men zowel de bandafstand als het kristalrooster op maat maken. Dit materiaal wordt daarom tegenwoordig gebruikt om lasers voor de langeafstandcommunicatie te maken.

Om terug te keren naar de Gbit elektronica, de combinatie n-type AlGaAs met ongedoopt GaAs geeft de mogelijkheid om betere transistoren te maken. Normaal moeten we, om een redelijke stroomsterkte te halen, het kanaal van een Fet vrij zwaar doteren. Dit werkt ongunstig op de beweeglijkheid omdat de geioniseerde donoratomen de elektronen flink verstrooien. De beweeglijkheid is daardoor nog maar de helft van die van ongedoopt materiaal, althans bij kamertemperatuur. Bij lagere temperaturen is het verschil nog groter en kan tot een factor 10 oplopen. De grap van de junctie van Fig. 9 is nu dat door het verschil in potentiele energie een groot deel van de elektronen van het AlGaAs naar het GaAs gaan. Door de ruimtelading ontstaat dan een bandkromming als getekend die er voor zorgt dat de elektronen bij het grensvlak blijven hangen. We hebben nu in het GaAs een hoge elektronendichtheid maar toch de beweeglijkheid van ongedoteerd materiaal en zoals we in het begin al gezien hebben is een grote beweeglijkheid een van de belangrijkste factoren voor het bereiken van hoge snelheden.

De transistorstructuur waarin dit principe wordt toegepast heet HEMT (High Electron Mobility Transistor), zie Fig. 10. Hij staat ook bekend onder de namen TEGFET en MODFET. TEGFET komt van Two-dimensional Electron Gas (de potentiaalput aan het grensvlak is nl. erg smal zodat de elektronen nog maar twee vrijheidsgraden hebben) en MODFET is afgeleid van MOdulation Doping, d.w.z. het selectief doteren van de heterojunctie.

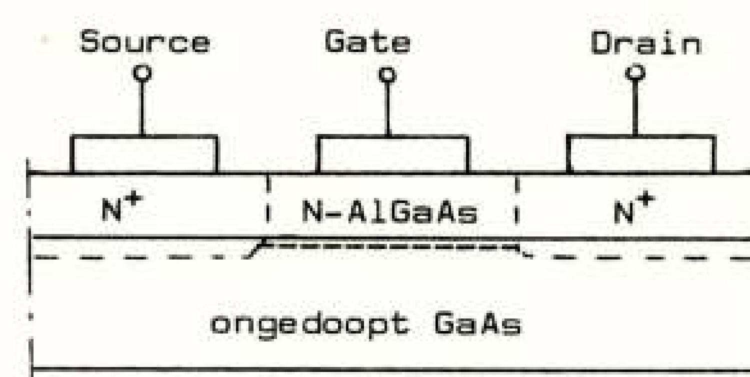


Fig. 10. High Electron Mobility Transistor

Heterojuncties kunnen ook met voordeel toegepast worden in bipolaire transistoren. De versterking van deze komponenten wordt nl. beperkt doordat minderheidsladingdragers vanuit de basis weglekken naar de emitter en de collector. Hierdoor is bij een bepaalde collectorstroom de basisstroom groter dan noodzakelijk. We kunnen daar iets aan doen door voor de emitter en de collector een materiaal te nemen met een grotere bandafstand dan de basis. De minderheidsdragers lopen dan tegen barrieres aan als ze uit de basis weg willen.

Het zal uit het voorgaande duidelijk zijn dat in de halfgeleidertechnologie grote veranderingen op til, resp. aan de gang zijn. Grote investeringen in nieuwe technieken zijn noodzakelijk en er zal nog veel onderzoek en ontwikkeling gedaan moeten worden om de mogelijkheden die zich voordoen ook realiteit te laten worden.

Een punt dat nog niet aangeroerd is, is dat de nieuwe structuren ook nieuwe uitdagingen aan de modelvorming stellen. Een voorbeeld hiervan is Fig. 5. Dit is niet uit te rekenen met de gangbare drift-diffusie modellen. Om tot dit resultaat te komen moest de volledige snelheidsverdelingsfunktie van de elektronen berekend worden met methoden ontleend aan de statistische mechanica.

CONCLUSIE

In het voorgaande is gepoogd een inleidend overzicht te geven van het betrekkelijk nieuwe vakgebied dat we populair als Gigabit Elektronica aanduiden. Het moge hieruit duidelijk geworden zijn dat dit een interessant gebied is met een uitstekend toekomstperspectief, waar voor elektronici, technologen en theoretici interessant werk te doen is.

Voordracht gehouden tijdens de 325e werkvergadering.

BIPOLAIRE SCHAKELINGEN IN DE SILICIUM TECHNOLOGIE

Dr.Ir. D.J.W. Noorlag en C.M. Hart

Philips Natuurkundig Laboratorium

Postbus 80000

5600 JA Eindhoven

Bipolar circuits in silicon technology. Silicon Technology has experienced a very rapid development since the invention of the Integrated Circuit. For about ten years bipolar technology has dominated, but since 1969 MOS technology has also become important. At this time the IC market is about evenly split between bipolar and MOS technology. Bipolar dominates in analog, mixed analog/digital and high-performance digital applications, as well as in glue logic.

In this paper bipolar digital circuits will be reviewed. A general introduction on logic circuits will be presented, and an overview of the four most important bipolar logic families will be given. The impact of technological advances on bipolar logic will be reviewed, considering the state of the art in production and in research Finally, the future of bipolar logic will be considered, keeping in mind the competition of MOS technology.

1. Inleiding

Sinds de uitvinding van het geintegreerde circuit door Kilby en Hoerni van Texas Instruments in 1959 heeft de silicium technologie een stormachtige ontwikkeling doorgemaakt. In de silicium technologie hebben bipolaire schakelingen ongeveer 10 jaar lang een monopoliepositie bezeten. Omstreeks 1969 kreeg de bipolaire technologie concurrentie van de MOS technologie. Sindsdien bestaan de bipolaire technologie en MOS technologie naast elkaar. Op dit moment hebben bipolair en MOS elk ongeveer de helft van de IC markt. Het marktsegment waarin bipolair domineert bestaat uit de analoge en gemengd analoog/digitale toepassingen, de high-performance digitale toepassingen en de z.g. "glue logic", elementaire digitale bouwstenen. MOS technologie voert de boventoon in complexe schakelingen met niet al te hoge klokfrequenties (microprocessoren e.d.). De tendens is dat de MOS technologie een relatief groter marktaandeel zal krijgen ten koste van de bipolaire technologie. Naar verwachting zal dit vooral gaan ten koste van de "glue logic". Voor analoge, gemengd analoog/digitale en high-performance digitale toepassingen zal voor de afzienbare toekomst bipolair gevraagd blijven.

In deze voordracht zullen de digitale bipolaire schakelingen worden bezien. Allereerst zal een algemene beschouwing gegeven worden over logische schakelingen. Daarna zal een overzicht worden gegeven van de 4 belangrijkste bipolaire logische families (TTL, I2L, ISL en ECL), en wat hun sterke en zwakke punten zijn. Vervolgens zal worden nagegaan wat de invloed van de vooruitgang in de silicium technologie is op de verschillende logische families. Daarbij zal worden beschouwd wat de stand van zaken is in de industrie en in de research. Tenslotte zal aan de orde komen wat de toekomstverwachting is voor de diverse families, mede gezien in het licht van de concurrentie van de MOS technologie.

2. Algemene beschouwing betreffende logische schakelingen

Bij logische schakelingen bestaat een verband tussen gate delay en dissipatie, dat globaal in drie gebieden is op te delen (zie Fig. 1). In gebied I wordt het verband tussen gate delay en dissipatie bepaald door het op- en ontladen van capaciteiten. Daarbij gelden de volgende relaties:

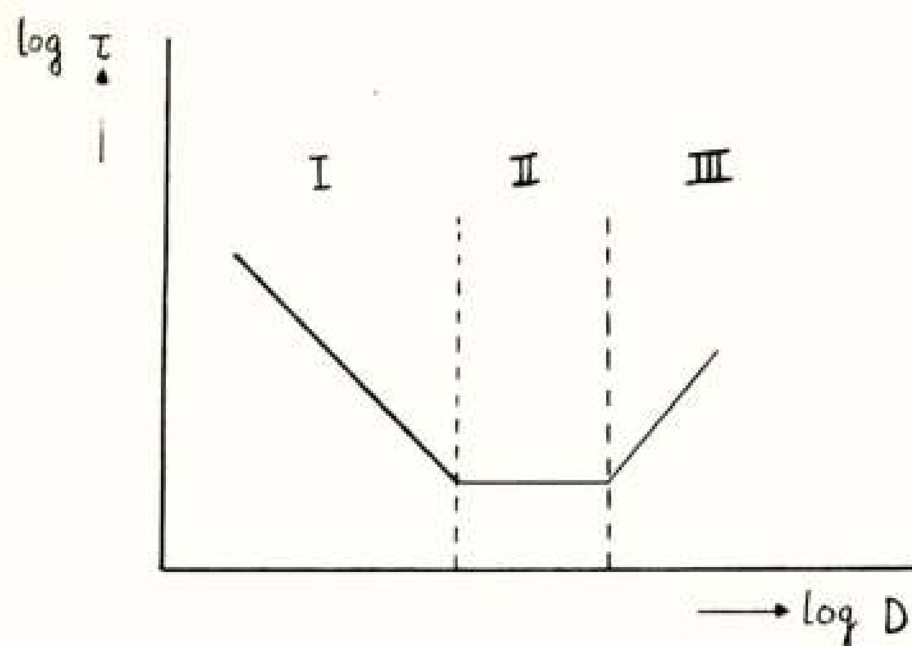


Fig. 1. Verband tussen gate delay en dissipatie in logische circuits

$$Q = C \cdot Vslag$$

$$t = Q / I = (C \cdot Vslag) / I$$

$$D = Vsupply \cdot I$$

$$t.D = C \cdot Vslag \cdot Vsupply$$

Het produkt van gate delay en dissipatie is dus constant en evenredig met de logische slag en de voedingsspanning. Hieruit blijkt een reden van het snelheidsvoordeel van bipolair t.o.v. MOS: bipolaire logische families kunnen volstaan met een logische slag van 200 mV (ISL) tot 700 mV (I2L), i.t.t. MOS. Bij MOS bedraagt de logische slag enige volts. CMOS maakt het zelfs zo bont om de logische slag gelijk te maken aan de voedingsspanning!

In gebied II is de gate delay onafhankelijk van de dissipatie. De gate delay is in dit gebied evenredig moet het kwadraat van de "lengte" van de transistor. Bij bipolaire transistoren is dit de basisbreedte, bij MOS transistoren de kanaallengte. Bij bipolaire transistoren kan de basisbreedte 0.1 um bedragen en is technologisch bepaald (verschil tussen twee doopprofielen), terwijl bij MOS transistoren deze breedte in de orde van 1 um is, en lithografisch bepaald. Hieruit blijkt een tweede reden van het snelheidsvoordeel van bipolair.

In gebied III zijn zowel gate delay als dissipatie evenredig met de instelstroom. In dit gebied moet men zijn schakelingen dus niet bedrijven.

Een tweede aspekt van logische schakelingen is fanout (d.i. het aantal poorten dat een poortuitgang belast). Bij bipolaire logische families is er geen sterk verband tussen gate delay en fanout. Bij CMOS logica daarentegen is de gate delay evenredig met de fanout. Men zij dan ook op zijn hoede voor getallen voor gate delay waarbij geen fanout staat vermeld!

3. De bipolaire logische families

In de loop van de tijd zijn een groot aantal bipolaire logische families uitgevonden. Hier zullen alleen de 4 belangrijkste worden besproken. Die 4 families zijn:

a. TTL (Transistor-Transistor Logic)
b. I2L (Integrated Injection Logic), soms ook MTL (Merged-Transistor Logic genaamd
c. ISL (Integrated Schottky Logic)
d. ECL (Emitter Coupled Logic)

a. TTL

TTL werd in het begin van de 60er jaren uitgevonden door Jim Buye van TRW. TTL is daarna vanaf het midden van de jaren 60 sterk gepropageerd door Texas Instruments door een klantenvriendelijke benadering en met behulp van veel dollars. Daardoor heeft TTL het kunnen brengen tot een wereldstandaard. De positie van TTL is zo dominant dat vele andere soorten logica, ook die uit de MOS familie, TTL-compatible moeten zijn, willen ze enig bestaansrecht hebben. De toepassingsgebieden van TTL zijn zeer veelzijdig doordat er zeer veel verschillende typen TTL schakelingen verkrijgbaar zijn, varierend van SSI en MSI (small- en medium-scale integration: poorten, schuifregisters, e.d.) tot bijna LSI (large-scale integration: 8X300 microprocessor, 16x16 vermenigvuliger). De wereldomzet is zeer hoog; vooral de SSI en MSI geniet een zeer grote populariteit als "glue logic" tussen complexe bouwstenen zoals microprocessors en geheugens. Belangrijke fabrikanten zijn Signetics, Texas Instruments en Fairchild, maar zij zijn zeker niet de enige.

Het principeschema van een TTL poort is weergegeven in Fig. 2. Een TTL poort bestaan in principe uit een multi-emitter npn transistor, die een aantal ingangen

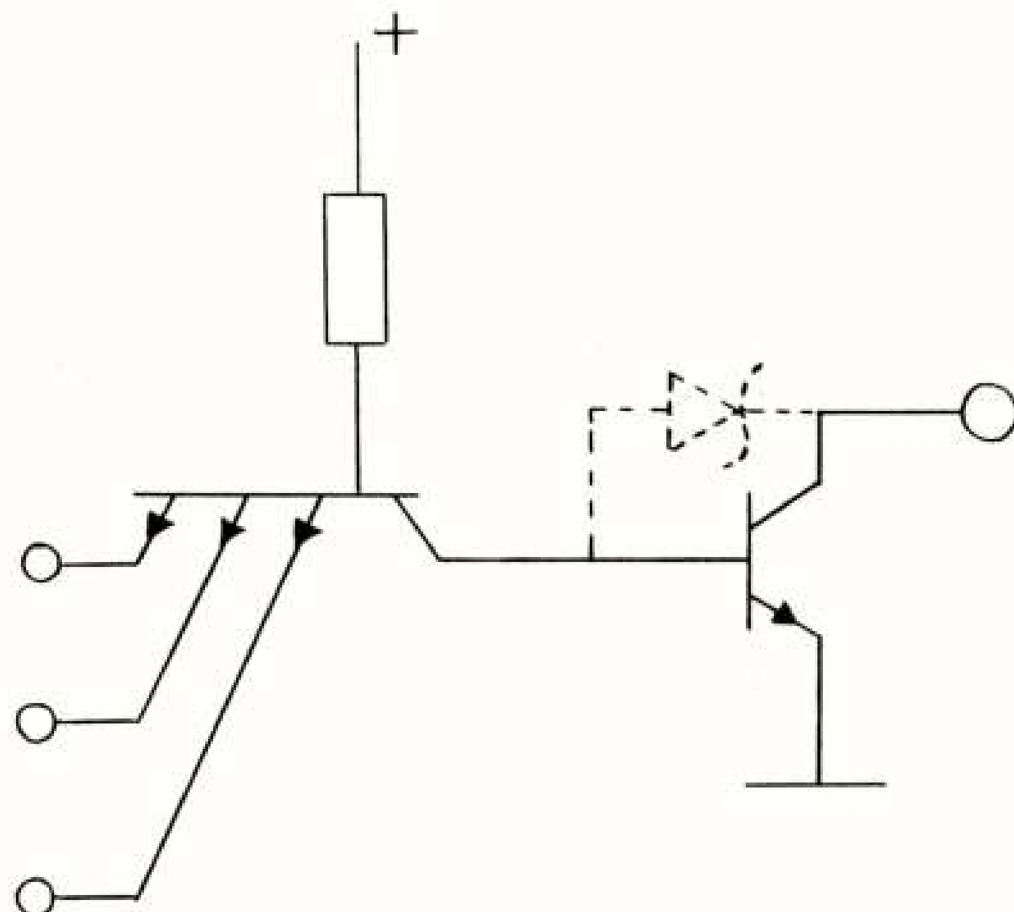


Fig. 2. TTL poort

samenknoopt, en een npn transistor die de schakelfunctie verzorgt. Wanneer alle emitters van de multi-emitter transistor hoog (logisch "1") zijn, is de uitgang van de poort laag (logisch "0"). Wordt echter een van de emitters logisch "0", dan wordt de uitgang logisch "1". De uitgang van een TTL poort is dus de NAND functie van zijn ingangen. TTL is snel, maar dissipeert veel vermogen, en de pakkingsdichtheid is matig. TTL is een vorm van verzadigde logica, d.w.z. dat niet alleen de basis-emitter junctie, maar ook de basis-collector junctie van de transistoren voorwaarts gepolariseerd kunnen zijn. Door de sterk vergrote opslag van minderheidslading in een verzadigde transistor t.o.v. een normaal ingestelde transistor schakelt een verzadigde transistor relatief traag. Er bestaan daarom TTL families waarbij aan de basis-collector junctie van de schakeltransistor een z.g. Schottky diode is geschakeld. Deze Schottky diode heeft een geringere doorlaatspanning dan een pn diode, zodat nu de schakeltransistor niet meer verzadigd kan raken. Twee families zijn erg bekend, nl. Schottky TTL (STTL) en Low-power Schottky TTL (LSTTL). LSTTL heeft een lagere schakelsnelheid dan STTL, maar dissipeert daarvoor minder vermogen.

b. I2L

Integrated Injection Logic (I2L) is in 1971 vrijwel gelijktijdig uitgevonden door Wiedmann en Berger van IBM en Slob en Hart van Philips. In Fig. 3 zijn het principeschema en de implementatie in silicium van I2L weergegeven. Een I2L poort bestaat uit een multi-collector npn transistor en een pnp voedingstransistor. I2L kenmerkt zich doordat de npn en de pnp transistor een aantal p- en n-gebieden in het silicium gemeenschappelijk hebben. I2L staat daarom ook wel bekend onder de naam "Merged-Transistor Logic" (MTL). Deze naam is echter niet ingeburgerd. Een tweede kenmerk van I2L is dat de npn transistor omgekeerd wordt gebruikt: de begraven laag, die normaal collector is, is nu emitter, terwijl n+ gebieden aan het oppervlak, die normaal als emitter dienen, nu als collector worden gebruikt. Dit alles heeft tot gevolg dat I2L een zeer hoge pakkingsdichtheid heeft. Door de afwezigheid van weerstanden kan een I2L poort over een groot instelstroombereik worden gebruikt. Echter, de maximum schakelsnelheid is laag, vanwege de grote minderheidsladingsopslag in de I2L poort.

I2L is zeer geschikt om analoge en digitale functies op een chip te combineren. Verder kan I2L met zeer lage voedingsspanningen (± 1V) worden bedreven. Het vindt toepassingen in audio en video consumerprodukten en professionele apparatuur, zoals regelsystemen en telefonie. Eigenlijk is I2L een manusje van alles.

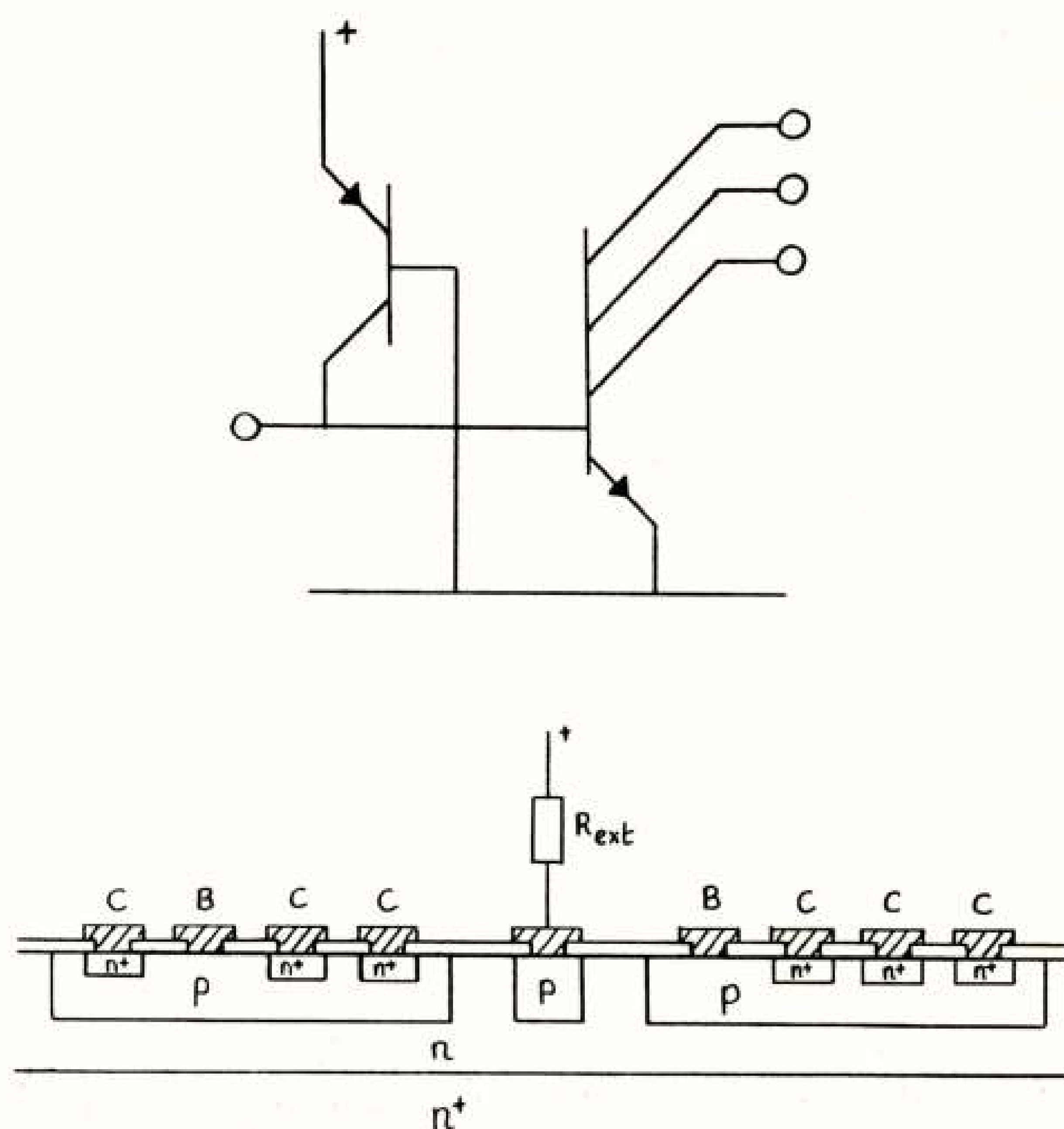


Fig. 3. I2L poort, met realisatie in silicium

c. ISL

Integrated Schottky Logic (ISL) is in 1975 door Lohstroh van Philips uitgevonden. In Fig. 4 zijn een schema en een implementatie in silicium van ISL weergegeven. Een ISL poort bestaat uit een npn en een pnp transistor die een aantal p- en n-gebieden gemeenschappelijk hebben. Verder zijn aan de collector van de npn transistor een aantal Schottky diodes verbonden die de ISL poort van meerdere uitgangen

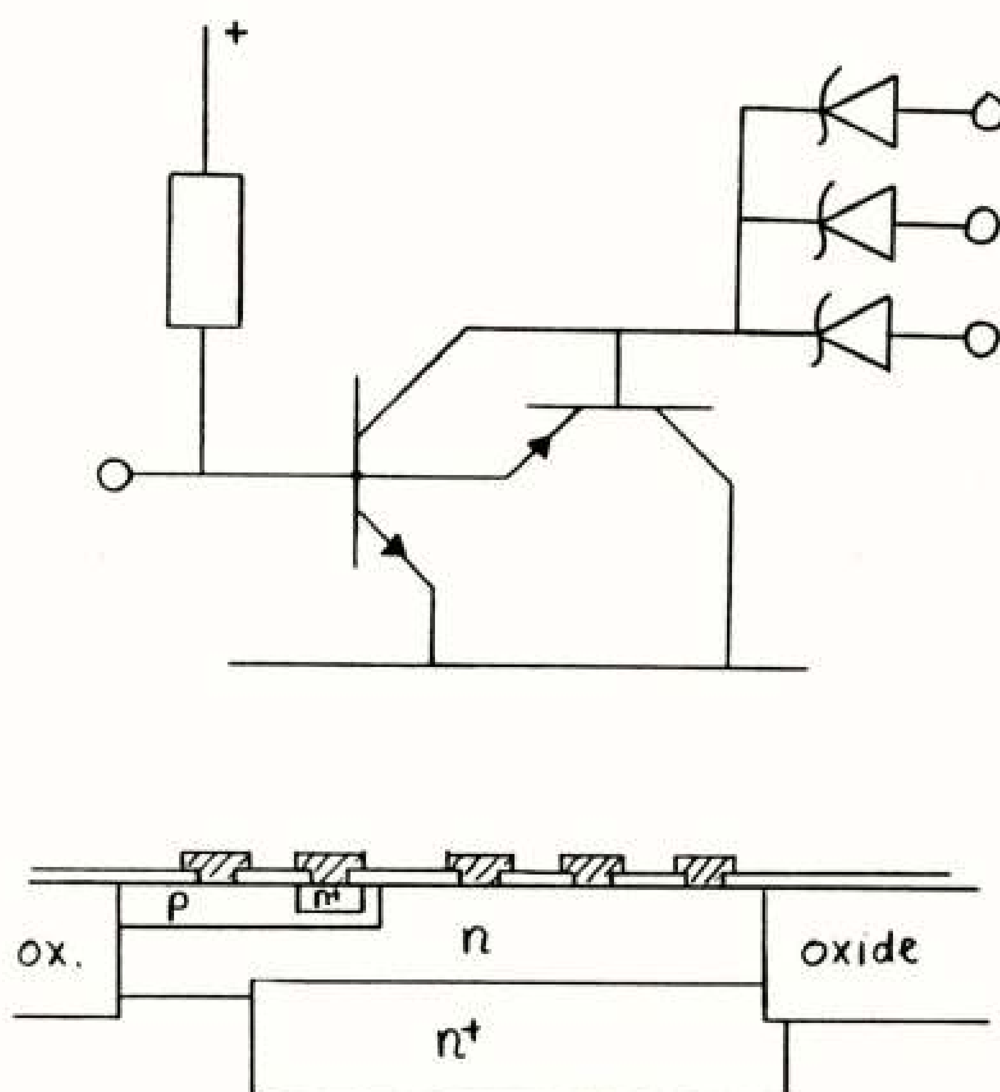


Fig. 4. ISL poort, met realisatie in silicium

van de basisstroom van de npn transistor wegnemen. Daardoor gaat de npn transistor niet diep in verzadiging. De ladingsopslag in de ISL structuur is daarom veel geringer dan bij I2L, waardoor ISL veel sneller schakelt. Het heeft daardoor echter wel een veel geringere pakkingsdichtheid dan I2L. ISL is in het algemeen sneller, dissipeert minder en heeft een grotere pakkingsdichtheid dan LSTTL, maar ISL heeft desondanks geen kans gezien TTL van zijn troon te stoten. ISL vindt toepassing in complexe bipolaire schakelingen, in gate arrays en in gemengd analoog/digitale schakelingen.

d. ECL

Emitter-coupled Logic (ECL) is de bipolaire logische familie die de hoogste schakelsnelheid biedt. Dit gaat echter ten koste van veel dissipatie en geringe pakkingsdichtheid. ECL is daarom beperkt tot SSI. Een ECL poort is schematisch weergegeven in Fig. 5. De npn transistoren in een ECL poort worden normaal gebruikt, en geraken niet in verzadiging. De transistoren hebben daarom een geringe ladingsopslag, en kunnen zeer snel schakelen. ECL bestaat al sinds het midden van de 60er jaren en is vooral door Motorola sterk gepropageerd. De toepassingen van ECL zijn vooral daar te vinden waar schakelsnelheid een pre is, en waarbij dissipatie en pakkingsdichtheid secundaire aspecten zijn: mainframe computers en telecommunicatiesystemen met hoge bitrate (140-560 Mbit/s).

voorzien. ISL heeft qua structuur iets weg van I2L, maar in tegenstelling tot I2L wordt hier de npn transistor normaal gebruikt. Verder heeft de pnp transistor van ISL een geheel andere functie dan die van I2L: bij ISL moet de pnp transistor bij het in verzadiging gaan van de npn transistor een groot deel

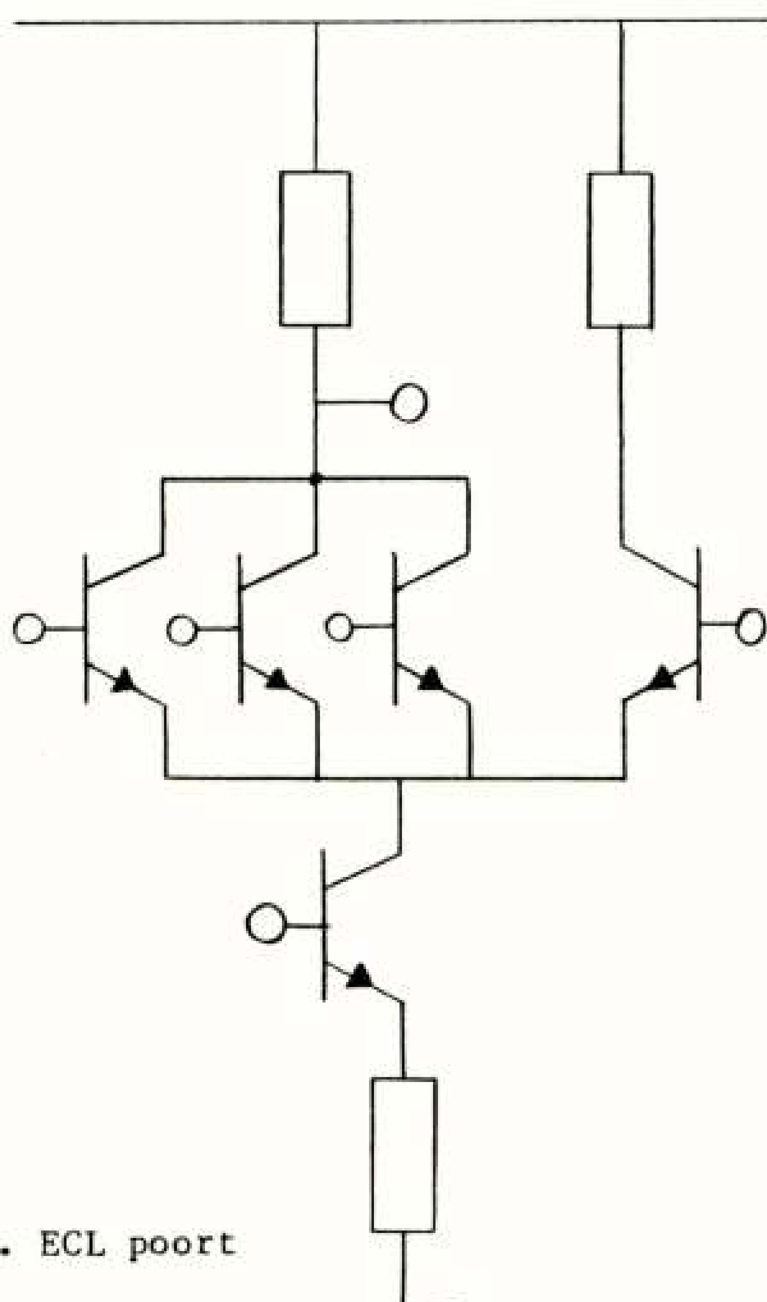


Fig. 5. ECL poort

In de supercomputer CRAY worden zeer veel SSI ECL bouwstenen gebruikt. Door de geweldig grote dissipatie is een speciale constructie nodig met koeltorens en freon koeling. Verder is de kast zo geconstrueerd dat de bedrading zo kort mogelijk kan worden gehouden. Het is echter mogelijk om ECL enigszins te laten delen in de voordelen van LSI door gebruik te maken van Current Routing Logic (CRL), ook wel Current Mode Logic (CML) genaamd. Hierbij worden een aantal ECL gates gestapeld. Hiermee kunnen met ECL logica MSI bouwblokken gerealiseerd worden. Voor een systeem betekent dit een lagere totale dissipatie en minder bedrading. Een supercomputer van Fujitsu is met MSI uitgevoerd, waardoor met een klassieke kast met luchtkoeling volstaan kan worden.

Belangrijke fabrikanten van ECL zijn Motorola en Fairchild.

4. Stand van de bipolaire silicium technologie

In de bipolaire silicium technologie worden een groot aantal bipolaire transistoren gelijktijdig op een plak silicium gefabriceerd. Hierbij wordt iedere transistor in een z.g. eiland ondergebracht, waardoor een transistor gescheiden is van alle andere transistoren in de schakeling. Dit eiland bestaat gewoonlijk uit een 5-10 um dik laagje n-type silicium, dat epitaxiaal is aangebracht op een p-type silicium substraat. Deze n-type epitaxiale laag wordt in de klassieke bipolaire technologie in eilanden verdeeld door met behulp van diffusie bij hoge temperatuur plaatselijk p-type doopstof in de epitaxiale laag aan te brengen. De n-type eilanden zijn dan door pn juncties van elkaar gescheiden. In de n-type eilanden worden vervolgens ondiepe p-type en n-type gebieden aangebracht waardoor een bipolaire transistor ontstaat (Fig. 6).

De pn isolatie tussen de n-type epitaxiale eilanden heeft als nadeel dat de pakkingsdichtheid van de componenten tamelijk gering is. De zwaargedoopte p-type ring van de eilanden moet tamelijk ver van andere p-type en n-type gebieden verwijderd blijven. Daarom is al vroeg gezocht naar mogelijkheden om van de p-type isolatie af te komen. De circuit-technische oplossing was I2L; de emitters van de npn transistor hier worden gevormd door de epitaxiale laag en de daaronder gelegen zwaargedoopte begraven laag. Alle emitters liggen aan dezelfde potentiaal, en hoeven dan ook niet gescheiden te worden. P-type isolatie is dan ook niet nodig, waardoor een grote pakkingsdichtheid haalbaar werd. I2L heeft zijn populariteit vooral hier aan te danken.

Een technologische oplossing is het gebruik van locaal geoxideerd silicium, LOCOS genaamd. Bij dit proces wordt de n-type epitaxiale laag locaal voor een groot deel weggeetst, en vervolgens doorgeoxideerd. Siliciumdioxide is een isolator, zodat de n-type eilanden nu ook geisoleerd zijn. Hoewel het LOCOS

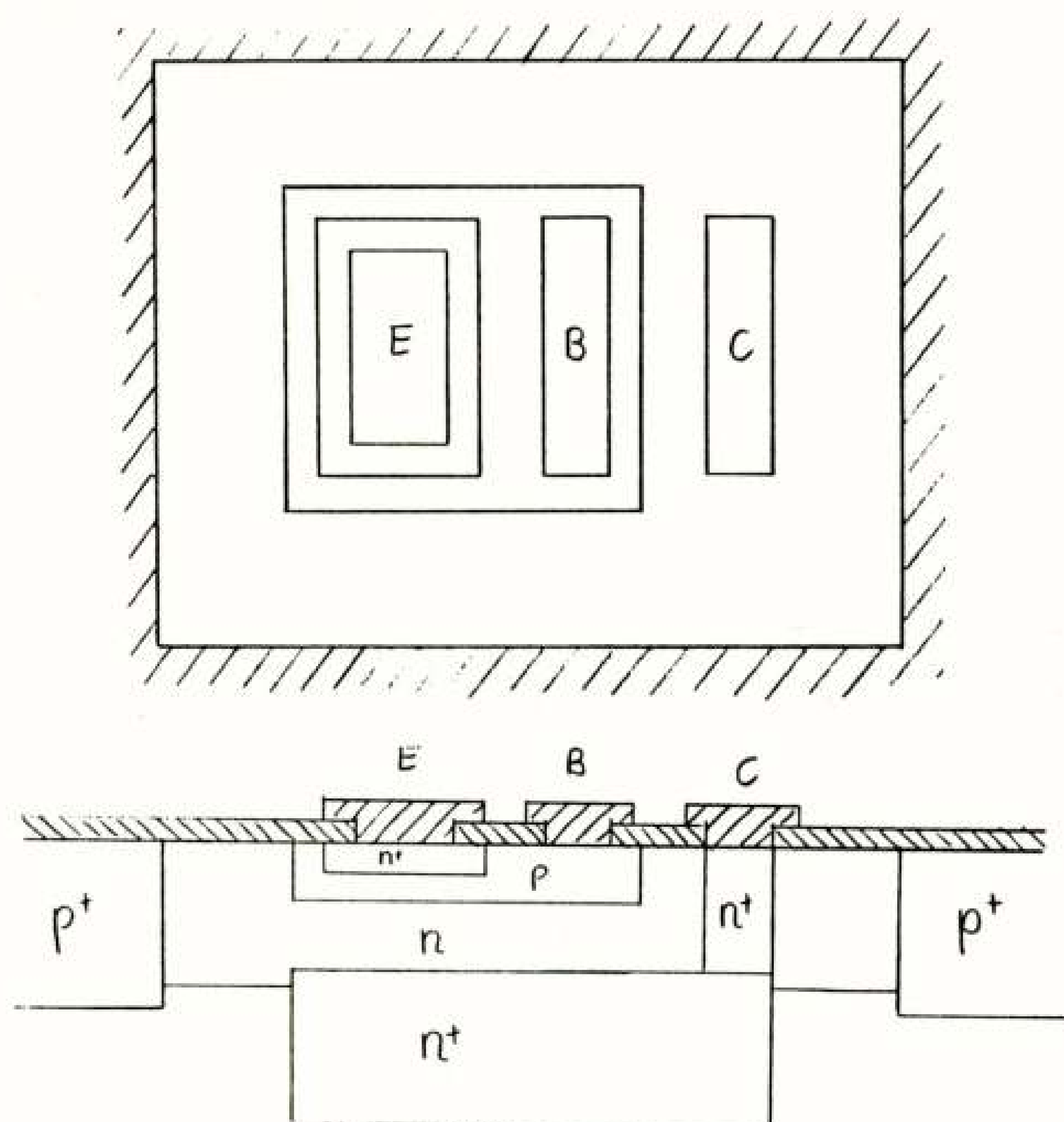


Fig. 6. Bovenaanzicht en doorsnede van een klassieke bipolaire transistor

principe al sinds het begin van de jaren 70 bekend is, kon het pas worden toepast in de bipolaire technologie toen het mogelijk werd dunne epitaxiale lagen (dunner dan 1.5 um) aan te brengen. Dit werd pas aan het eind van de jaren 70 mogelijk.

In Figs. 6 en 7 zijn twee npn transistoren getekend. Beide hebben dezelfde afmetingen, maar de ene is ondergebracht in een eiland dat met een pn junctie is geisoleerd (Fig. 6), terwijl de andere is ondergebracht in een eiland dat met LOCOS is geisoleerd (Fig. 7). Het verschil in totale oppervlakte dat benodigd is voor de npn transistor, is opvallend. Behalve de winst in pakkingsdichtheid betekent de LOCOS isolatie ook een veel geringere collector-substraat capaciteit. Een bijkomend voordeel van de LOCOS isolatie is dat de n-type emitter niet meer door de p-type basis van de n-type epitaxiale laag behoeft te worden gescheiden. De n-type emitter kan aan twee zijden direct tegen de LOCOS isolatie worden gelegd (een dergelijke emitter wordt "walled emitter" genoemd: hij ligt aan twee kanten tegen een muur van LOCOS). De walled emitter heeft als voordeel dat het p-type basisgebied kleiner wordt, waardoor de npn transistor een geringere collector-basis capaciteit heeft.

Van de grotere pakkingsdichtheid en de geringere collector-substraat capaciteit profiteren vooral TTL, ISL en ECL. I2L profiteert hier in mindere mate. Echter alle logische families profiteren van een geringere collector-basis capaciteit.

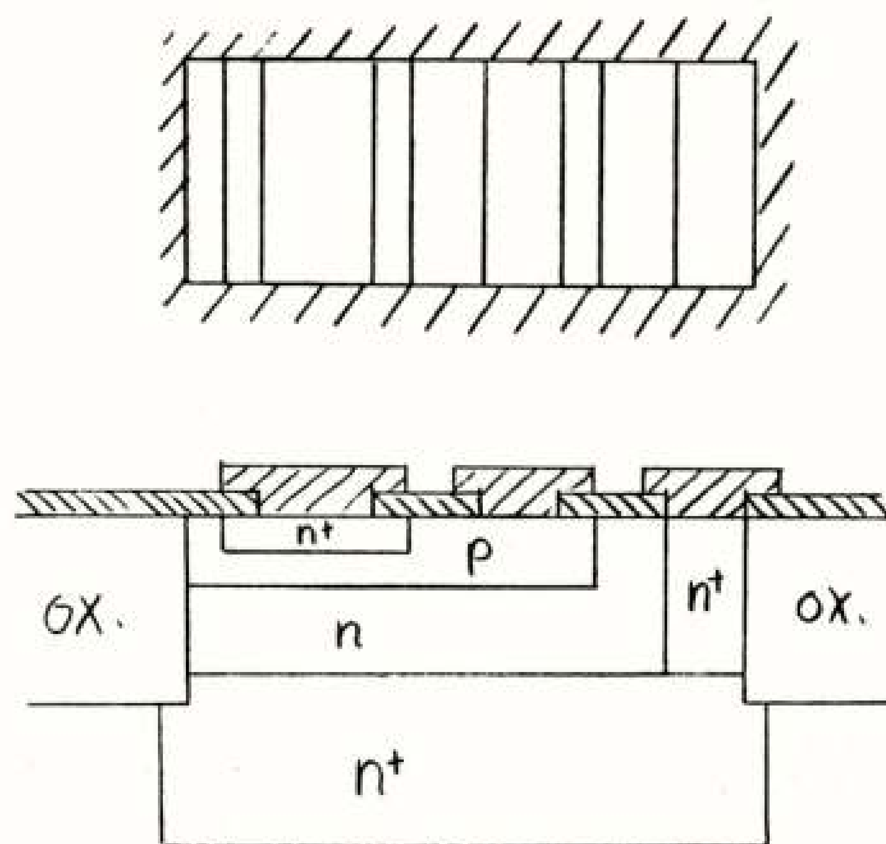


Fig. 7. Bovenaanzicht en doorsnede van een bipolaire transistor met oxide isolatie

Bipolaire schakelingen met LOCOS isolatie beginnen nu hun weg naar de markt te vinden. Als voorbeeld voor de performance winst mogelijk met LOCOS kan dienen de volgende vergelijking tussen Advanced Schottky TTL (AS-TTL) en STTL, en Advanced Low-power Schottky TTL (ALS-TTL) en LSTTL):

	STTL	ASTTL	LSTTL	ALSTTL
gate delay	3.2 ns	1.7 ns	9 ns	4 ns
power/gate	17 mW	8 mW	2 mW	1.2 mW

Tabel 1. Vergelijking tussen TTL families met pn isolatie (STTL, LSTTL) en TTL families met LOCOS isolatie (ASTTL, ALSTTL)

5. Ontwikkeling van de bipolaire technologie

Een algemene trend in IC technologieen is dat de maatvoering steeds kleiner wordt. Deze ontwikkeling wordt bepaald door het beschikbaar komen van steeds geavanceerdere procesapparatuur, en zorgt voor een evolutie naar steeds snellere en kleinere circuits. Daarnaast wordt er in de researchlaboratoria van verscheidene firma's onderzocht hoe verdere verbetering mogelijk is door toevoeging van revolutionaire processtappen.

Voor wat betreft de bipolaire technologie treedt daarbij vooral het gebruik van polykristallijne siliciumlagen op de voorgrond. Dit zijn lagen silicium die op de eigenlijke monokristallijne siliciumplak worden aangebracht, en kunnen dienen als verbinding tussen verschillende componenten. Dit betekent dat een extra bedradingslaag naast de conventionele aluminium

bedradingslaag aanwezig is, wat het probleem van het bedraden van de schakeling aanmerkelijk verlicht en daardoor voor een grotere pakkingsdichtheid kan zorgen. Polykristallijne siliciumlagen hebben echter wel een veel hogere ohmse weerstand dan aluminium lagen. Daarnaast kunnen polykristallijne siliciumlagen (of ook: polylagen) dienen als bron voor doopstoffen die bij hoge temperatuur de plak in kunnen diffunderen. Dit betekent dat p-type en n-type doopstoffen direct vanuit de bedrading in het monokristallijn silicium kunnen worden aangebracht, wat het aansluiten van de p-type en n-type lagen in het monosilicium aanzienlijk vereenvoudigt. Dit is geillustreerd in Fig. 8. In een conventioneel bipolair proces zonder polysilicium moet bijvoorbeeld

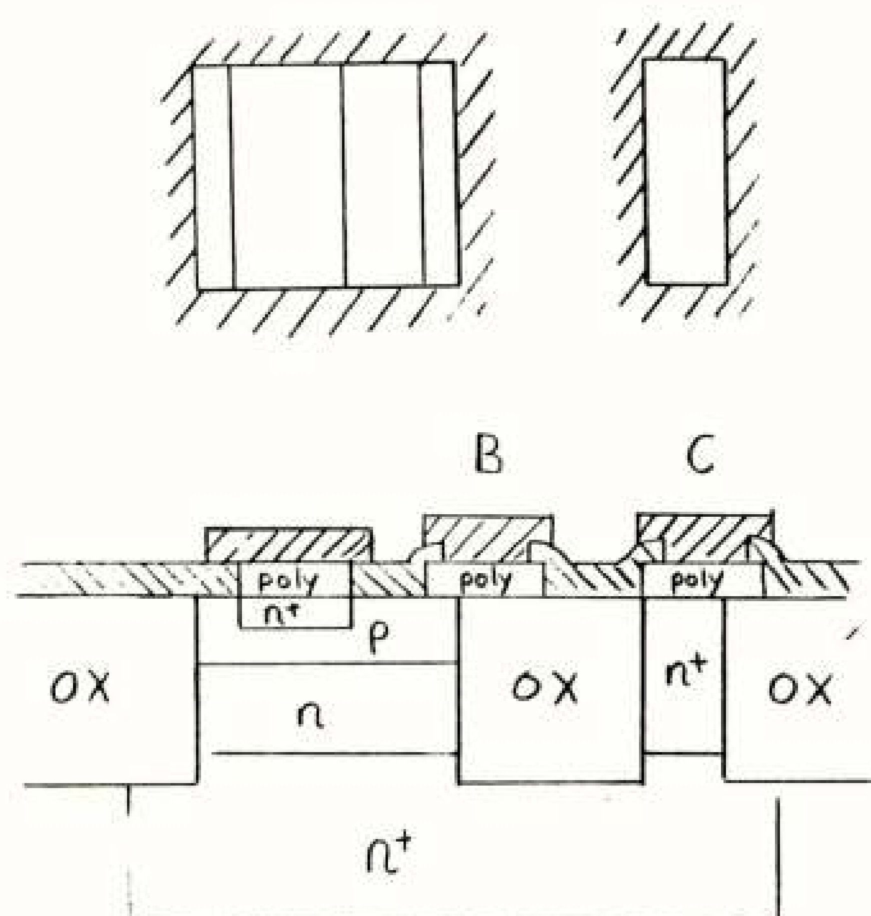


Fig. 8. Bovenaanzicht en doorsnede van een bipolaire transistor met oxide isolatie en polysilicium

een p-type basisgebied worden aangesloten door een gat te etsen in het siliciumdioxide dat de siliciumplak bedekt, waarna een aluminium laag wordt aangebracht dat zorgt voor het contact. Voor de plaatsing van dat gat moet een zekere tolerantie in acht worden genomen tot het n-type gebied van de emitter en tot de n-type epitaxiale laag, om kortsluiting te voorkomen. Bij gebruik van polysilicium kan nu het p-type basisgebied door diffusie van p-type doopstoffen vanuit het polysilicium worden aangebracht. De polysilicium laag kan verder boven LOCOS oxide worden geleid, en daar kan dan eventueel een contact naar aluminium worden gemaakt. Dit alles betekent dat in het p-type basisgebied geen ruimte meer hoeft te worden gereserveerd voor een contact naar het aluminium, hetgeen leidt tot de mogelijkheid van kleinere eilanden. Dit op zijn beurt leidt weer tot een lagere collector-basis capaciteit.

Een n-type polysiliciumlaag heeft verder gunstige eigenschappen voor de emitter van een npn transistor. Geavanceerdere processen neigen tot steeds ondiepere diffusies in het monosilicium, en dus ook tot steeds dunnere emitters. Een zeer dunne emitter heeft echter een lage stroomversterking van de bipolaire transistor tot gevolg. Een n-type polysiliciumlaag bovenop de emitter heeft een totaal dikkere emitter tot gevolg. Hoewel de dikte van de polysiliciumlaag niet zonder meer bij die van de emitter in het monosilicium mag worden opgeteld, is een gunstig effect op de stroomversterking duidelijk merkbaar.

Een verdere ontwikkeling, die nauw samenhangt met het gebruik van polysilicium, is het aanbrengen van een z.g. "self-aligned emitter". Dit wil zeggen dat een scheiding tussen n-type en p-type polysilicium niet gemaakt wordt door met behulp van een maskerstap een gat te maken tussen p-type en n-type polysilicium, maar dat dit gebeurt door het fabriceren van een submicrometer oxide groefje tussen n-type en p-type polysilicium. Dit heeft tot voordeel dat het poly voor de basisaansluiting en het poly voor de emitteraansluiting zeer dicht bij elkaar kunnen worden gebracht, wat het mogelijk maakt een zeer kleine npn transistor te fabriceren. In het Philips Natuurkundig Laboratorium wordt aan een bipolair proces met deze eigenschap gewerkt. Dit proces staat bekend onder de naam "PABLO", waarmee niet bedoeld wordt de schilder, maar Perfect Aligment By Lateral Oxidation. Deze naam slaat op de manier waarop de submicron groef tot stand wordt gebracht. Een verder voordeel van PABLO is dat het n-type polysilicium boven de emitter, in tegenstelling tot het p-type silicium boven het basisaansluitingsgebied, niet bedekt is met een laag oxide. Dit heeft tot gevolg dat een aluminium aansluiting naar de emitter rechtstreeks op het n-type polysilicium kan worden aangebracht, en zelfs het polysilicium mag overlappen. Dit betekent dat de minimum emitterbreedte wordt bepaald door de minimum breedte van het n-type polysilicium. Emitters met een breedte van 1 um worden op deze manier mogelijk. In Fig. 9 is een foto van een npn transistor gemaakt met de PABLO technologie afgebeeld. Deze foto laat een dwarsdoorsnede zien, en is gemaakt met een elektronenmicroscoop.

Bipolaire technologieen zoals PABLO maken een zeer lage emitter-basis capaciteit voor de npn transistor mogelijk. Verder wordt een lage basisserieweerstand bereikt door de nabijheid van de emitter en het basis-aansluitingsgebied. Bovendien wordt de doop van het basis-aansluitingsgebied in een andere processtap aangebracht dan de doop van de intrinsieke basis van de transistor, zodat beide optimaal gekozen kunnen worden. Omdat bij self-aligned technologieen zoals PABLO geen uitrichttolerantie in acht behoeft te worden genomen tussen emitter en basis-aansluitingsgebied, kan het eiland van een PABLO transistor kleiner zijn dan het eiland van een transistor zonder self-aligned emitter. Dit geeft weer een lagere collector-basis en collector-substraat capaciteit.

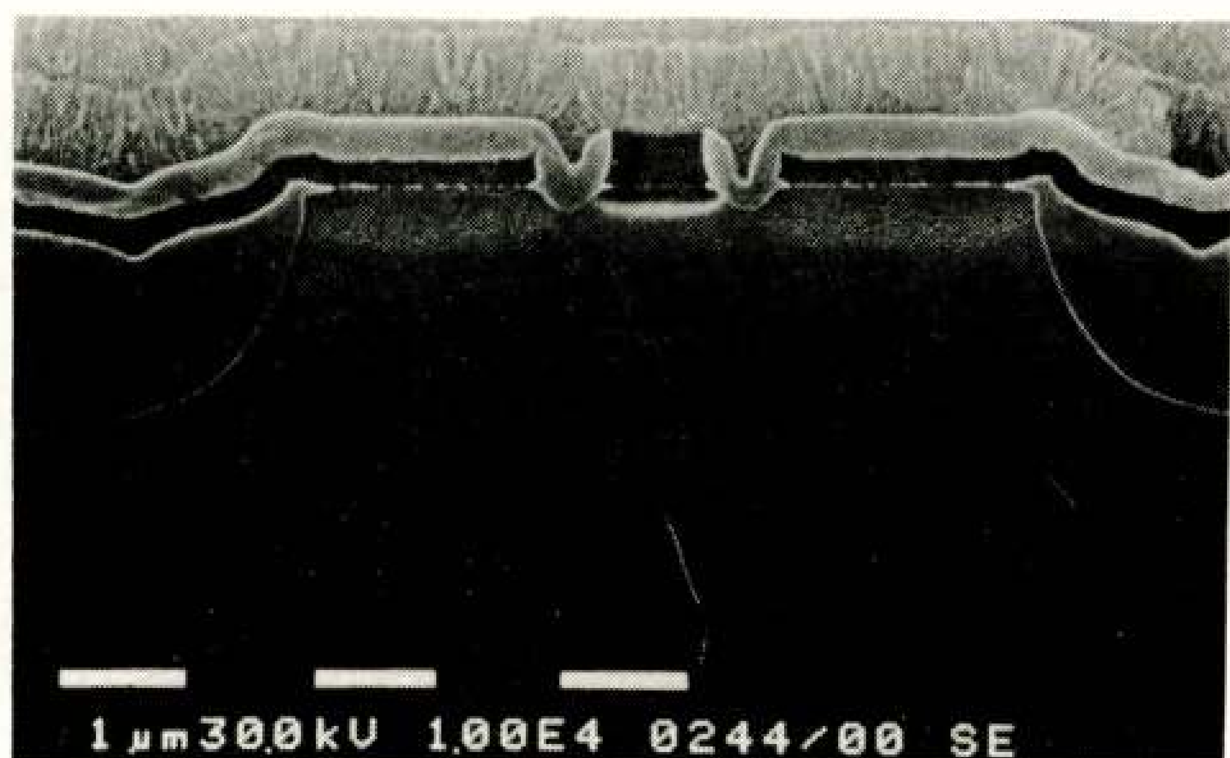


Fig. 9. SEM foto van een PABLO bipolaire transistor. De collectoraansluiting is niet zichtbaar. (n.b. De lagen bovenop de transistor zijn uitsluitend aangebracht t.b.v. de foto; ze zijn in werkelijkheid niet aanwezig)

In Tabel 2 zijn een aantal parameters weergegeven van minimale npn transistoren die gemaakt kunnen worden m.b.v. een geavanceerd bipolair proces met conventionele pn isolatie, een proces met LOCOS isolatie, maar zonder poly-silicium, en PABLO. Alle drie processen gebruiken vergelijkbare procesapparatuur en maatvoering. Hieruit moge blijken dat geavanceerde processtappen inderdaad een grote verbetering in transistor performance kunnen leveren.

parameter	pn-isolatie	LOCOS-isolatie	PABLO
Ceb	200 fF	68 fF	13 fF
Ccb	73 fF	60 fF	10 fF
Ccs	270 fF	78 fF	45 fF
Ft	3.2 GHz	6 GHz	7 GHz
Rb	> 2 kOhm	1.4 kOhm	<1.2 kOhm

Tabel 2. Parameters van minimum transistoren van een pn-geisoleerd,een LOCOS geisoleerd en het PABLO proces.

Bipolaire processen zoals PABLO zijn echter nog niet het laatste woord van de technologen. Verdere verbetering is nog mogelijk door gebruik te maken van U-groef isolatie i.p.v. LOCOS isolatie, gecombineerd met geavanceerde metalliseringssystemen. Daarnaast wordt onderzoek gedaan naar nog geavanceerdere vormen van self-alignement, teneinde de transistoren nog kleiner en sneller te kunnen maken.

6. Toekomstverwachting van bipolaire logica

Zoals reeds opgemerkt in de inleiding, voert MOS technologie de boventoon in complexe schakelingen met niet al te hoge klokfrequenties. Vooral CMOS technologie wint steeds meer terrein, vooral vanwege de eigenschap dat een CMOS poort nauwelijks dissipeert als hij niet schakelt. Het is naar de mening van de auteurs echter onwaarschijnlijk dat bipolaire logica geheel door CMOS logica verdrongen zal worden, en wel om de volgende redenen:

- Bipolaire logische families zoals ECL en TTL hebben nog steeds een snelheidsvoordeel boven CMOS. Naar verwachting zal dit in de afzienbare toekomst ook zo blijven. Deze verwachting veronderstelt echter wel dat bipolaire technologieen gelijke ontwikkelingskansen krijgen als (C)MOS technologieen. In de literatuur komt men overigens regelmatig vergelijkingen tussen bipolair en CMOS tegen. Meestal hebben deze vergelijkingen als oogmerk aan te tonen dat bipolair zijn snelheidsvoordeel t.o.v. CMOS verloren heeft. Deze vergelijkingen hebben echter vaak betrekking op bipolaire technologieen van de jaren 70. Het hoeft geen betoog dat dergelijke vergelijkingen weinig waarde hebben, maar de onwetende leek kan toch snel een verkeerde indruk krijgen.
- De logische familie met de grootste pakkingsdichtheid is I2L. Deze familie is verder zeer bruikbaar voor de combinatie van analoge en digitale schakelingen. Daarnaast kan I2L al bij zeer lage voedingsspanningen werken. I2L kan verder op zeer lage dissipatie worden ingesteld, zij het dat dit ten koste gaat van snelheid.

Om aan te tonen waartoe een modern bipolair proces in staat is, zijn in Tabel 3 een aantal eigenschappen van een aantal logische families gemaakt in het PABLO bipolaire proces weergegeven.

- I2L :	power-delay produkt:	26 fJ
	minimum delay :	3 ns (1 mA/gate)
	minimum stroom :	3 nA (15 us delay)
	pakkingsdichtheid :	1200 gates/mm2
- ECL :	minimum delay :	1 ns (50 uA/gate)
	:	0.6 ns (200 uA/gate)
	pakkingsdichtheid :	100 gates/mm2
- TTL :	minimum delay :	0.85 ns (250 uA/gate)
	pakkingsdichtheid :	250 gates/mm2

Tabel 3. Performance van diverse logische families in het PABLO proces. I2L poorten hebben fanout=3, ECL en TTL poorten hebben fanin=3.

Concluderend kan worden gesteld dat voor high-performance en analoog-digitale toepassingen bipolaire technologie voordelen heeft t.o.v. MOS technologie. Overigens zijn er ontwikkelingen gaande waarbij MOS technologie met bipolaire technologie gecombineerd wordt, teneinde te kunnen profiteren van de voordelen van beide technologieen (z.g. BIMOS technologieen). Tot nu toe hebben BIMOS technologieen echter het kenmerk dat goede MOS transistoren gecombineerd worden met slechte tot middelmatige bipolaire transistoren. Het is dan ook niet te verwachten dat BIMOS technologieen zuivere bipolaire technologieen kunnen verdringen.

Voordracht gehouden tijdens de 325e werkvergadering.

SNELHEIDS-EVOLUTIE VAN LOGISCHE SCHAKELINGEN IN MOS-TECHNIEK

Ir. C.M. Huizer
Philips Research Laboratories, Eindhoven

Speed-evolution of MOS logic circuits. During the past twenty years, the speed of MOS logic circuits has dramatically improved. The main reason for this improvement is shown to be the reduction of the device dimensions of these circuits. CMOS and NMOS logic circuits are compared with respect to speed and power dissipation. Important effects of continued down-scaling are described. CMOS is shown to be the superior choice for complex high-speed logic circuits.

INTRODUCTIE

Het is algemeen bekend dat gedurende de afgelopen jaren de complexiteit van de Metal Oxyde Semiconductor (MOS) geintegreerde schakelingen een enorme ontwikkeling heeft doorgemaakt. In de literatuur zijn reeds schakelingen beschreven met meer dan 1 millioen transistoren (Itoh 1984). Minder bekend is echter dat in die zelfde tijd ook de snelheid van de schakelingen enorm is toegenomen. deze snelheidsevolutie.

Als uitgangspunt is de invloed van de technologische ontwikkeling op de snelheidseigenschappen van de MOS-transistor genomen. Vervolgens komen de verschillende manieren aan de orde om met behulp van MOS-transistoren logische schakelingen te realiseren. Tenslotte worden enige effecten besproken die bij de nog steeds verder gaande schaalverkleining van toenemend belang zijn voor de snelheid van digitale MOS schakelingen.

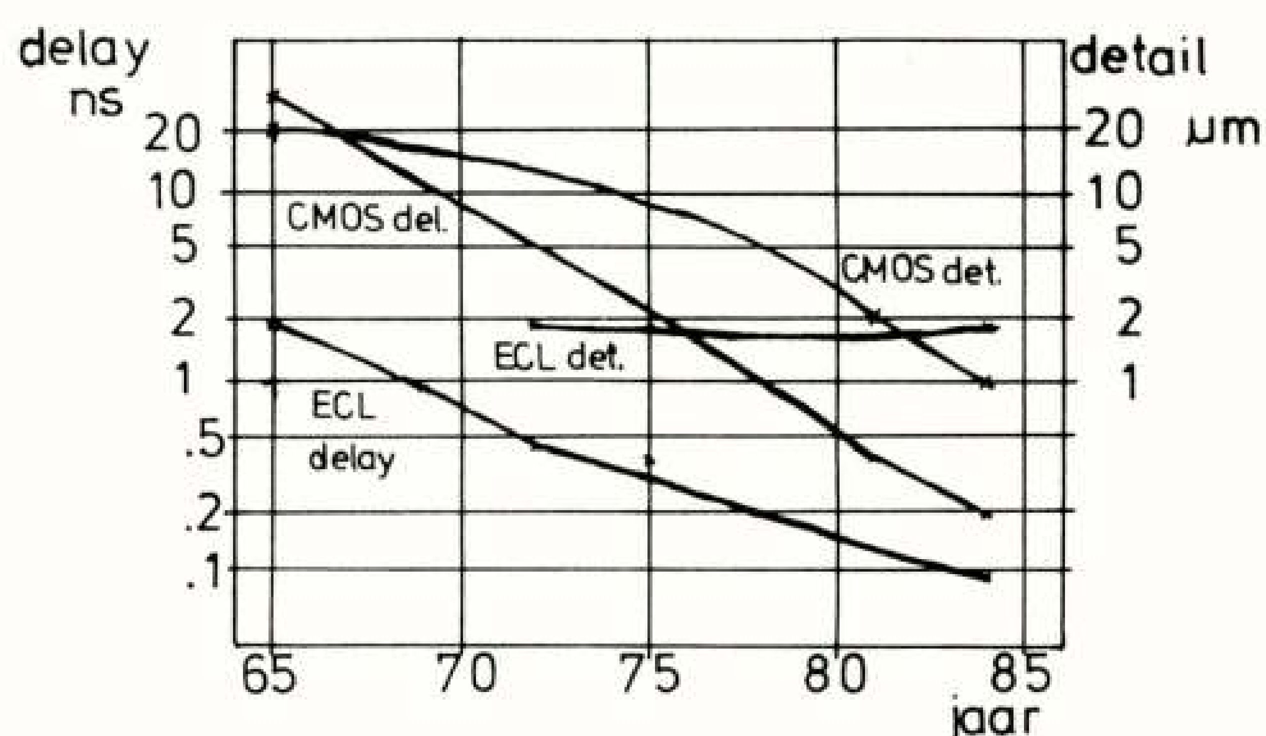


Fig. 1: Snelheidsontwikkeling ECL en CMOS 1965-1984

INVLOED VAN DE TECHNOLOGIE

Snelheidsontwikkeling 1965 - 1984

Fig. 1 geeft een overzicht van de snelheids ontwikkeling van het eenvoudigste type logische circuit, de ringoscillator (invertorketen), gedurende de jaren 1965 - 1984 (Ahrons 1965, Murphy 1965, Gold 1969, Taniguchi 1972, DiPietro 1975, Yu 1981, Nakamura 1984, Liu 1984). Dit voor twee soorten logica, de bipolaire vorm Emitter Coupled Logic (ECL), het snelste type Si-logica, en de momenteel zeer sterk in de belangstelling staande MOS uitvoering Complementary-MOS (CMOS). In die gevallen waar complexere schakelingen dan ringoscillatoren besproken werden is de vertragingstijd gecorrigeerd. Het jaar 1965 is als startpunt gekozen omdat in dat jaar voor het eerst een geintegreerde CMOS schakeling in de literatuur beschreven werd. Het principe was reeds twee jaar eerder in discrete vorm uitgevoerd. Het is duidelijk dat beide vormen een aanzienlijke ontwikkeling hebben doorgemaakt. De ECL vertragingstijd is van 2 ns teruggelopen tot minder dan 100 ps. Relatief gezien heeft CMOS zelfs een nog grotere ontwikkeling doorgemaakt, van 25 ns tot minder dan 200 ps. Hierbij moet opgemerkt worden dat in een ringoscillator de kortste vertragingstijd ontstaat die in een bepaalde technologie haalbaar is. In complexere (praktischer) schakelingen komen vertragingstijden voor die bijvoorbeeld een factor 4 groter zijn. Voor vergelijkingsdoeleinden zijn ringoscillatoren goed bruikbaar.

De reden waarom CMOS (en MOS in het algemeen) zo veel meer geprofiteerd heeft van de technologie ontwikkeling dan de bipolaire techniek, kan vrij eenvoudig worden afgeleid uit de basispricipes van de MOS transistor. Daarvoor moet echter eerst iets gezegd worden over de vertragingstijd van een logische schakeling opgebouwd met deze transistoren.

Vertragingstijd logische schakelingen

Om de snelheid van logische schakelingen te bepalen is de gebruikelijke beschrijvingswijze met behulp van logische functies niet toereikend, maar moet een meer gedetailleerd model gebruikt worden. Een eenvoudige vorm is in fig. 2 afgebeeld.

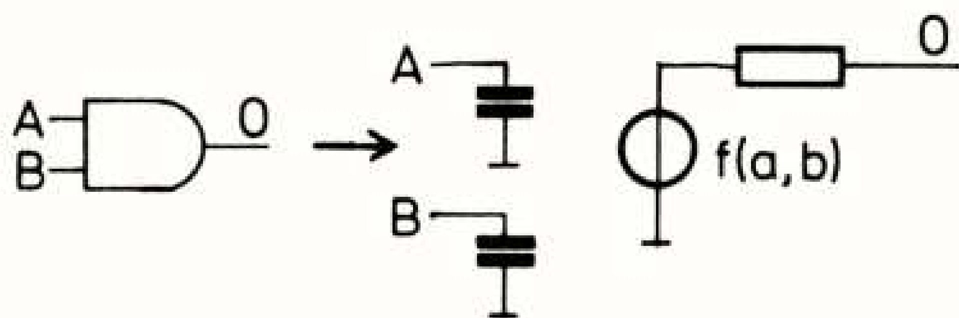


Fig. 2: Model voor logische functie

Voor elke ingang is er een capaciteit die de belasting weergeeft van deze ingang voor de sturende poort. Verder is er een spanningsbron die het logische uitgangsniveau vertegenwoordigt. De uitgangsimpedantie van de poort wordt vertolkt door een uitgangsweerstand.

Met behulp van dit model kan iedere willekeurige logische schakeling vertaald worden in een combinatie van weerstanden, capaciteiten en spanningsbronnen (fig. 3).

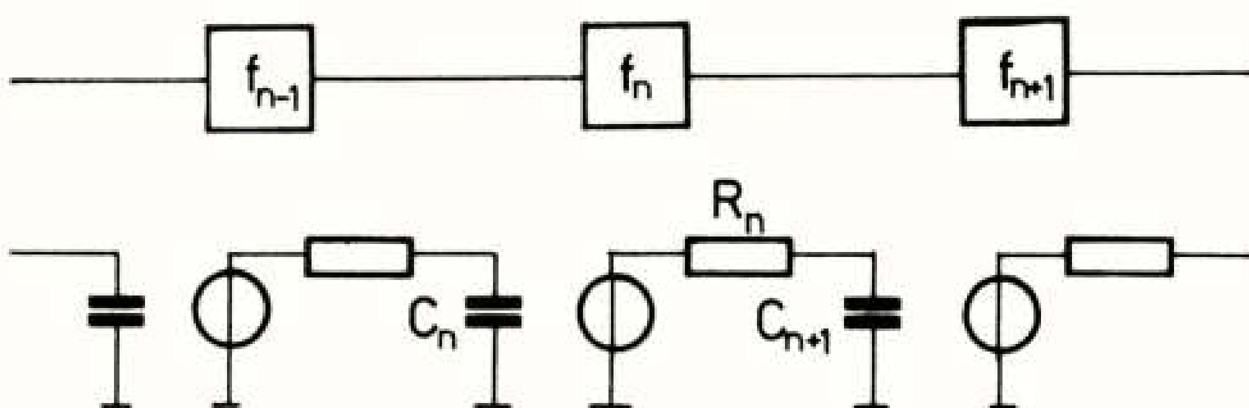


Fig. 3: Modellering van logische schakeling

De vertragingstijd van een bepaalde trap in de schakeling is recht evenredig met het produkt van de uitgangsweerstand van die trap en de ingangscapaciteit van de volgende, gestuurde, trap.

Het is mogelijk door variatie van de afmetingen van de transistoren, de ingangscapaciteit en de uitgangsweerstand van een logische schakeling te beinvloeden. Het is in het algemeen echter zo, dat voor een gegeven logische functie in een gegeven technologie het produkt van ingangscapaciteit en uitgangsweerstand, de intrinsieke tijdconstante τ_i constant is. In een keten van identieke elementen zullen alle weerstanden en capaciteiten gelijk zijn. Dat houdt dus in dat in dat geval de vertragingstijd per trap recht evenredig is met de intrinsieke tijdconstante. In meer complexe gevallen is het verband ingewikkelder, maar ook dan geldt dat de vertraginstijd per trap in hoge mate bepaald wordt door de intrinsieke tijdconstante. In het volgende zullen we ons beperken tot de keten van identieke elementen. Voor een enkele MOS transistor is de intrinsieke tijdconstante eenvoudig af te leiden.

Intrinsieke tijdconstante MOS-transistor

Fig. 4 geeft een schematische voorstelling van een zogenaamde N-kanaal MOS transistor.

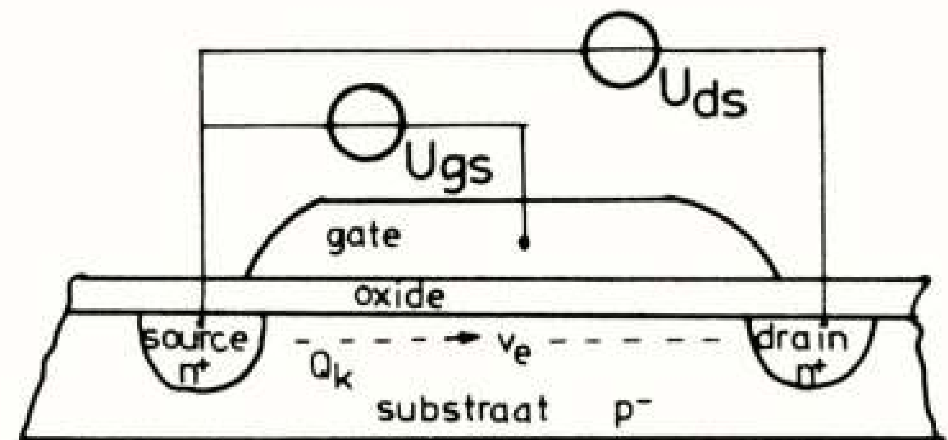


Fig. 4: N-kanaal MOS-transistor

Een dergelijke transistor bestaat uit een substraat, dat in het N-kanaal geval licht p-type gedoopt is. In dit substraat bevinden zich twee zwaar n-type gedoopte gebieden, source en drain genoemd. Boven het substraat bevindt zich een laag niet-geleidend oxide. Op dit oxide is een derde electrode aanwezig, de gate. Omdat vroeger deze gate uitgevoerd werd met behulp van een aluminum spoor is de naam Metal Oxide Semiconductor Transistor ingeburgerd geraakt. Tegenwoordig wordt de gate echter vrijwel uitsluitend in polykristallijn silicium uitgevoerd.

Indien de gate-source spanning een bepaalde waarde overschrijdt, ontstaat er in het substraat juist onder de gate-elektrode een gebied met vrije elektronen. Dit gebied wordt een kanaal genoemd. Vandaar de naam N-kanaal transistor.

De combinatie gate-oxide-kanaal kan gezien worden als een capaciteit waarbij het oxide als dielectricum fungeert. De groote van deze capaciteit is afhankelijk van de breedte en de lengte van de transistor, en een evenredigheidsconstante, Cox, die onder meer afhangt van de oxide-dikte. Onder de lengte van de transistor verstaan we de afstand tussen het source en het draingebied.

De grootte van de kanaallading, Qk, kan nu geschreven worden als het produkt van de capaciteit en het verschil tussen de gate-source spanning en de drempelspanning.

$$Qk = C\ (Ugs - Vt) \qquad (1)$$

Bij het aanleggen van een elektrische spanning tussen source en drain ontstaat er een elektrisch veld in het kanaal, wat tot gevolg heeft dat de elektronen gaan

bewegen en er een kanaalstroom ontstaat. Deze kanaalstroom is gelijk aan het produkt van de lading en de elektronensnelheid, v_e, gedeeld door de af te leggen weg, de kanaallengte L.

$$I = Qk\ v_e\ /\ L \qquad (2)$$

De elektronensnelheid is evenredig met de veldsterkte E met de elektrische beweeglijkheid als evenredigheidsconstante. De veldsterkte is gelijk aan de drain-source spanning gedeeld door de kanaallengte. De kanaalstroom is dus evenredig met de drain-source spanning, zodat het geleidende kanaal als een weerstand beschouwd mag worden.

$$I = Qk\ v_e\ /\ L = Qk\ Uds\,\mu_e\ /\ L^2 \qquad (3)$$

Er kan nu een uitdrukking gegeven worden voor de kanaalweerstand door de drain-source spanning te delen door de kanaalstroom. Als we deze weerstand vermeningvuldigen met de capaciteit C, krijgen we de gezochte uitdrukking voor de intrinsieke tijdconstante τ_i.

$$\tau_i = L^2\ /\ (\mu_e(Ugs - Vt)) \qquad (4)$$

Belangrijke Technologische Parameters

Uit het bovenstaande blijkt dat de intrinsieke tijdconstante van de MOS-transistor door slechts drie parameters bepaald wordt.

Van deze drie is het minimale detail dat in een bepaald fabricageproces nog gerealiseerd kan worden de belangrijkste. Het zal duidelijk zijn dat de kanaallengte zo klein mogelijk dient te zijn, en in het algemeen zal deze dan ook gelijk zijn aan het minimale detail. Dit heeft tot gevolg dat de intrinsieke tijdconstante kwadratisch afneemt bij lineaire verkleining van het minimale detail.

In de tweede plaats is de materiaalkeuze van belang. Bovenstaande beschouwing geldt voor een N-kanaal transistor, maar is mutatis mutandis natuurlijk ook van toepassing in het P-kanaal geval. Het gaat dan niet om de elektronenbeweeglijkheid, maar om die van de gaten. Het is bekend dat deze een factor drie lager is, zodat te verwachten is dat de P-kanaal transistor een factor drie langzamer is dan de N-kanaal uitvoering.

Tenslotte de voedingsspannning. Duidelijk is dat verhoging van de voedingsspanning, en daarmee dus ook van de gate-source spanning de vertragingstijd verlaagt. Tegenwoordig is de voedingsspanning van veel schakelingen vastgelegd door de compatibiliteitseis met de TTL 5V standaard. Verder zijn er goede redenen om bij verkleining van de afmetingen van de transistoren ook de voedingsspanning te verlagen.

Ter referentie is in fig. 5 een doorsnede getekend van een bipolaire transistor.

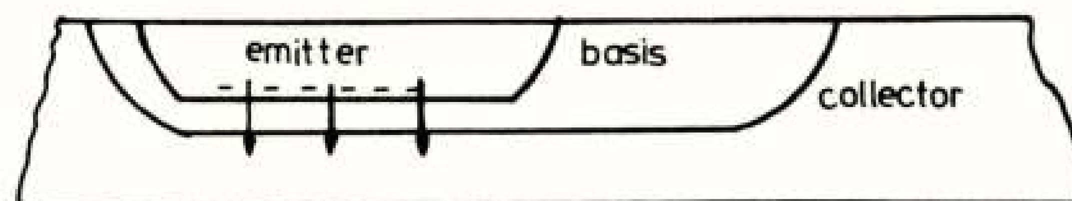


Fig. 5: Doorsnede bipolaire transistor

Het fundamentele verschil met de MOS-transistor is dat hier de transistorwerking verticaal is. Dit houdt in dat de primaire parameter voor wat betreft de snelheid de basisbreedte is.

De basisbreedte komt tot stand door middel van diffusie. Dit is een proces dat men reeds in de begintijd van de IC techniek redelijk onder controle had. Dit verklaart dat reeds in de begintijd relatief snelle schakelingen gerealiseerd konden worden. Lithografie verbetering heeft alleen een tweede orde effect, zo wordt bijv. de basisweerstand kleiner door schaalverkleining.

Een en ander wordt geillustreerd door nogmaals de snelheids evolutie te bezien (fig. 1). Hier is ook het minimum detail aangegeven dat in de diverse schakelingen gebruikt is. Voor CMOS treedt een continu doorgaande lithografieverkleining op, van 20 µ in 1965 tot 1 µ in 1984, terwijl de resultaten voor ECL sinds 1972 steeds met vergelijkbare lithografische details van ongeveer 2u werden bereikt. De verbetering bij ECL heeft andere, ook niet lithografische, oorzaken (Noorlag, 1984).

VAN TRANSISTOR TOT LOGICA

De moderne MOS circuits kunnen in twee groepen verdeeld worden. Enerzijds NMOS IC's, waarin uitsluitend N-kanaal transistors gebruikt worden en anderzijds CMOS IC's, waarin zowel N- als P-kanaal transistoren voorkomen.

NMOS logica

In een NMOS IC worden twee types transistoren gebruikt. Het eerste type, de zogenaamde "enhancement" transistor, heeft de eigenschap dat bij een gate-source spanning gelijk aan 0V er geen geleiding plaats vindt. Anders gezegd: de drempelspanning is positief. Deze transistor wordt als schakelaar gebruikt.

Het tweede type, "depletion" genaamd, vertoont wel geleiding bij 0V gate-source spanning. Deze transistor heeft dus een negatieve drempelspanning en wordt als belasting gebruikt, waarbij gate en source met elkaar verbonden worden. In het bestek van dit artikel kan een dergelijke transistor het eenvoudigst met behulp van een constante stroombron beschreven worden, die aanwezig is

wanneer de spanning tussen source en drain groter dan 0V is. In fig. 6a is een NMOS invertor getekend samen met het betreffende vervangingsschema.

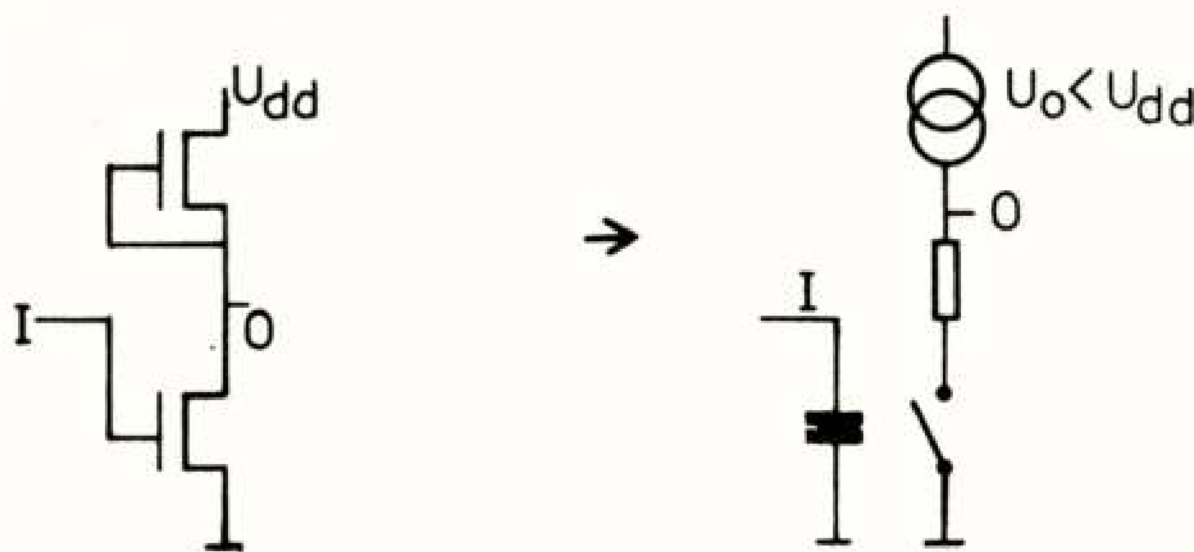


Fig. 6a: NMOS invertor

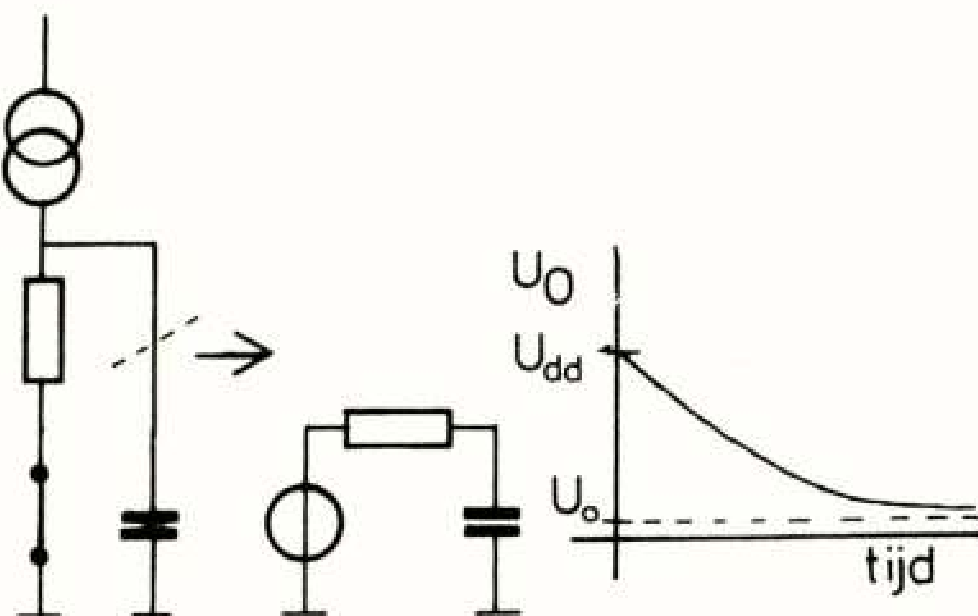


Fig. 6b: NMOS invertor - responsie op logische 1

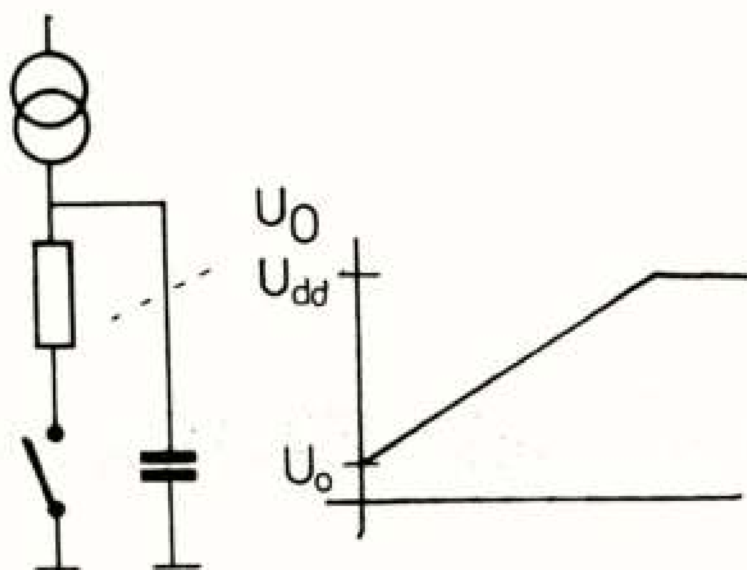


Fig. 6c: NMOS invertor - responsie op logische 0

Ingang logisch een - In fig. 6b is de situatie getekend die optreedt als het ingangssignaal van een logische 0 (0V) in een logische 1 (Udd) verandert. De schakeltransistor zal dan gaan geleiden en de aan de uitgang aanwezige capaciteit (ingang van de volgende trap) zal ontladen worden tot een restniveau, Uo, wat bepaald wordt door de weerstand van de schakeltransistor en de stroomsterkte van de belastingstransistor.

$$Uo = I\ R \qquad (5)$$

Omdat Uo de storingsmarge van de schakeling beinvloedt, zal deze over het algemeen aan een limiet gebonden zijn, bijvoorbeeld 0.1 Udd. Deze eis bepaalt de stroomsterkte van de belastingstransistor.

$$I = 0.1\ Udd\ /\ R \qquad (6)$$

Uit het vervangingsschema blijkt dat het ontladen (eerste orde systeem) volgens een negatieve e-macht zal verlopen

$$U(t) = Uo + (Udd - Uo)\ \exp(-t/\tau_i)\ ;\ \tau_i = R\ C \qquad (7)$$

Hieruit blijkt dat het ontladen tot 10% van de eindwaarde $\ln(10)\,\tau_i \approx 2.3\ \tau_i$ zal duren.

Ingang logisch nul - In fig. 6c is de situatie getekend als het ingangssignaal van logisch een in logisch nul verandert. Omdat we de belastingstransistor als een constante stroombron modelleren, is de uitgangsspanning nu een lineaire functie van de tijd. In de praktijk zal bij toenemende uitgangsspanning de stroombron sterkte wat afnemen, zodat een zekere afronding van de lineaire functie plaatsvindt. Binnen het bestek van dit artikel kan dit echter verwaarloosd worden. Voor de oplaadtijd wordt nu gevonden:

$$t_{up} = (Udd - Uo)\ C\ /\ I \qquad (8)$$

Ofwel, met (6):

$$t_{up} = 9\ \tau_i \qquad (9)$$

De gemiddelde vertragingstijd voor een NMOS-invertor is dus:

$$t_d = 0.5\ (t_{up} + t_{do}) = 5.6\ \tau_i \qquad (10)$$

CMOS-logica

In een CMOS IC worden uitsluitend enhancement transistoren gebruikt. In fig. 7a is een CMOS invertor afgebeeld. Beide transistoren worden actief als schakelelement gebruikt. Dit heeft tot gevolg dat steeds slechts een transistor in geleiding is en er dus geen statische stroom van voeding naar aarde loopt. Vanwege de verschillende beweeglijkheden voor gaten en elektronen is de intrinsieke tijdconstante van de P-kanaal transistor drie maal groter dan die van de N-kanaal uitvoering.

Bij het ontwerp moet de verhouding tussen de afmetingen van de beide transistoren gekozen worden. In het vervolg wordt aangenomen dat de P-kanaal transistor drie maal zo groot is als de N-kanaal transistor, zodat de beide vervangingsweerstanden gelijk zijn en dus ook

de op- en ontlaadtijden gelijk zijn. Het vervangingsschema kan nu vereenvoudigd worden tot

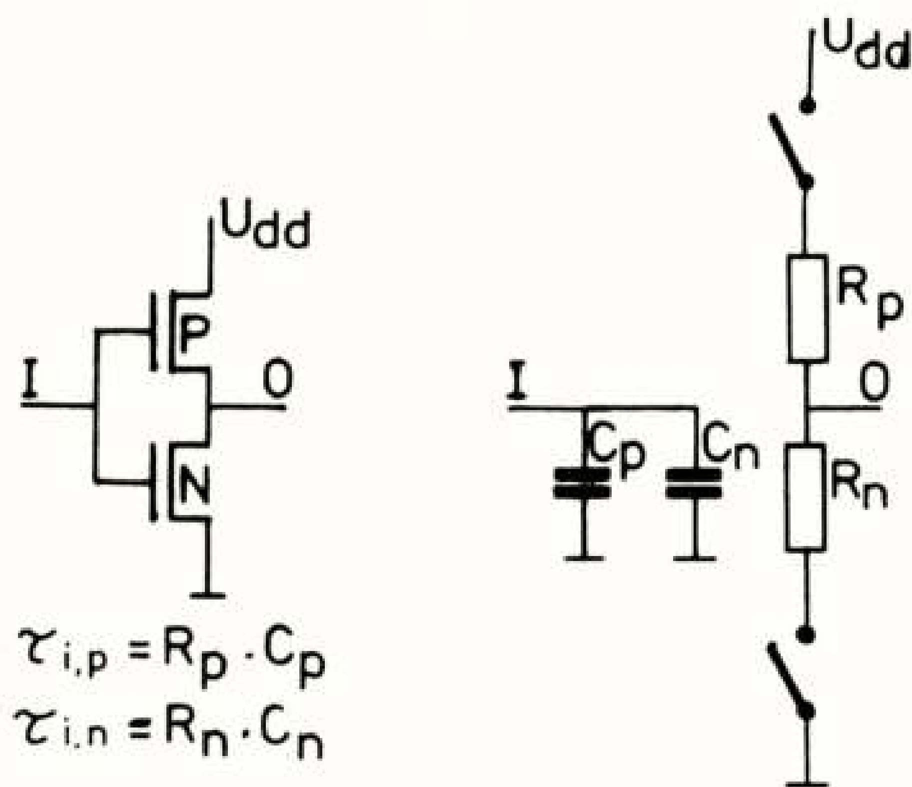


Fig. 7a: CMOS-invertor

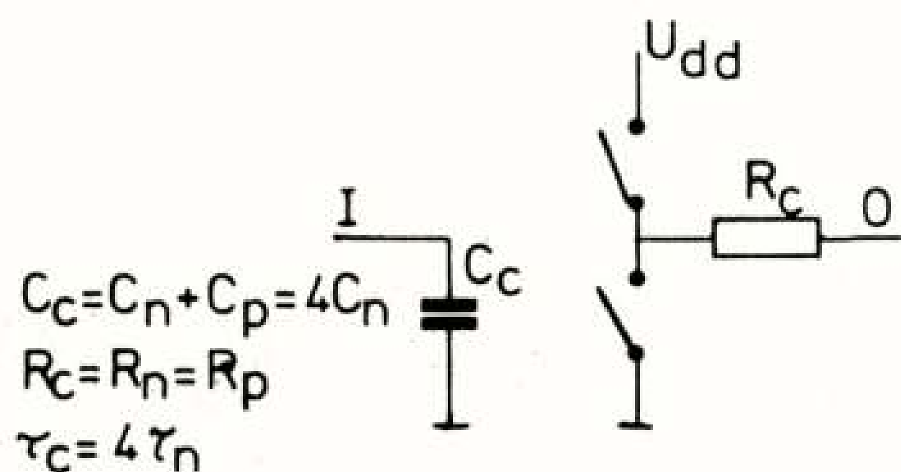


Fig. 7b: CMOS-inverter - $R_n = R_p$

fig. 7b. In het vervolg zal de intrinsieke tijdconstante van de NMOS invertor (ofwel: die van de NMOS-transistor) aangeduid worden met τ_n , en de intrinsieke tijdconstante van de CMOS invertor met τ_c .

Op- en ontladen verloopt nu op dezelfde manier als het ontladen van de NMOS-invertor, wat resulteert in:

$$t_d = \ln(10)\tau_c \approx 9.2\,\tau_n \qquad (11)$$

De conclusie is dat bij identieke lithografie CMOS ongeveer twee maal zo langzaam is als NMOS.

Het feit dat voor snelle IC's toch steeds vaker CMOS toegepast wordt, is dan ook alleen te verklaren door het element elektrische dissipatie in de beschouwing te betrekken.

Dissipatie van een elektrische schakeling betekent dat elektrische energie omgezet wordt in warmte. Deze warmte moet door de IC behuizing afgevoerd worden. Omdat de warmteafvoer van de behuizing beperkt is, is de maximaal toegelaten dissipatie een belangrijke randvoorwaarde bij het IC-ontwerp.

Behalve door de keuze CMOS dan wel NMOS wordt de dissipatie ook sterk beinvloed door de bedrading op het IC. Deze invloed zal eerst aan de orde komen.

Invloed bedrading

Ieder IC bestaat behalve uit actieve elementen ook uit bedrading om de diverse elementen met elkaar te verbinden. Met deze bedrading hangt een parasitaire capaciteit samen. In fig. 8 is dit schematisch weergegeven.

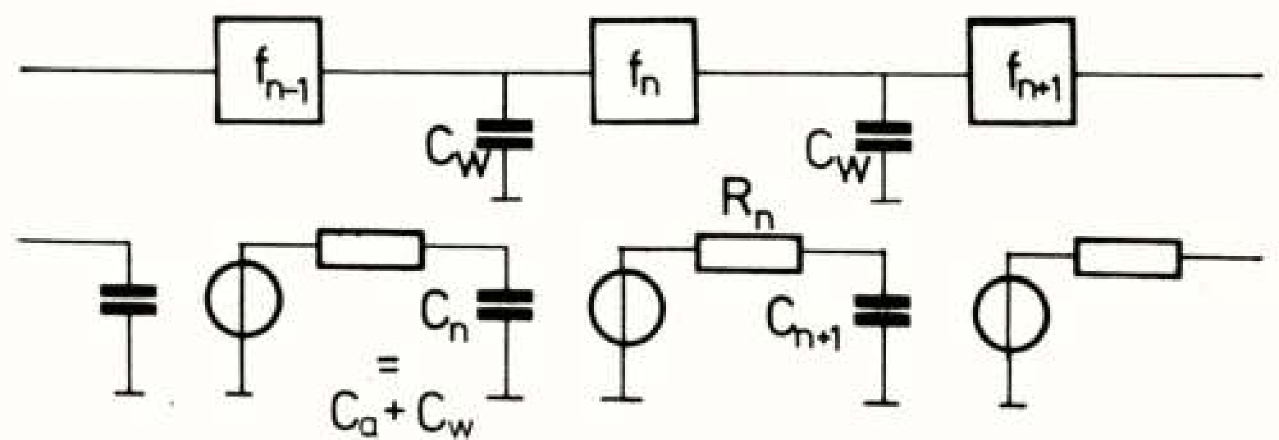


Fig. 8: Logische schakeling met bedradingscapaciteit

De bedradingscapaciteit verhoogt zowel de vertragingstijd als de dissipatie van de schakeling. Als de bedradingscapaciteit voorgesteld wordt door Cw en de capaciteit van de actieve elementen gerepresenteerd wordt met Ca resulteert voor de door de bedrading vergrote tijdconstante τ_w :

$$\tau_w = R\,(Cw + Ca) = \tau_i\,(1 + Cw/Ca) \qquad (12)$$

In fig. 9 is de invloed van de bedrading op de vertragingstijd van NMOS en CMOS-invertors grafisch weergegeven. Naarmate de verhouding Ca/Cw groter wordt, wordt de vertragingstijd die zonder invloed van bedrading gehaald zou worden beter benaderd. De verhouding Ca/Cw kan groter gemaakt worden door enerzijds de grootte van de actieve elementen te vergroten, wat dus silicium oppervlak en elektrische dissipatie kost, en anderzijds door de grootte van de bedrading te verminderen, wat betekent dat de lay-out inspanning verhoogd moet worden.

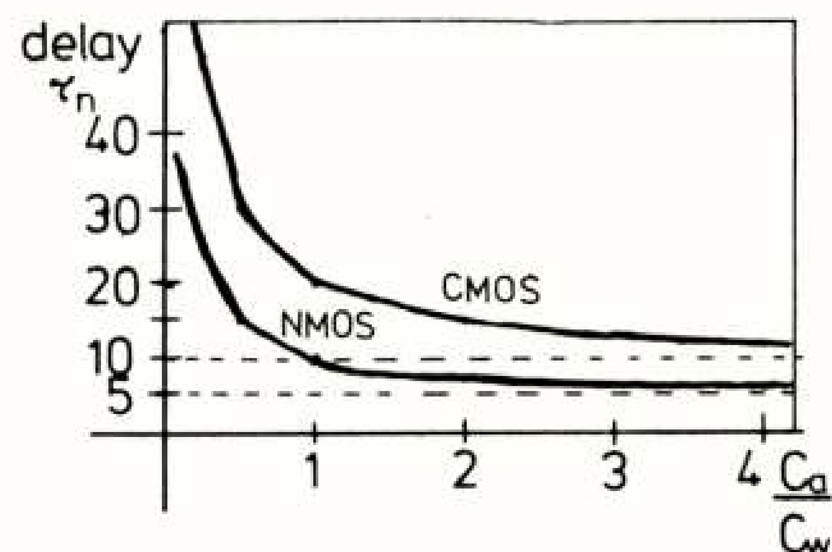


Fig. 9: Invloed bedrading op vertragingstijd.

Dissipatie NMOS en CMOS

Er moet onderscheid gemaakt worden tussen het opladen en het het ontladen van de uitgangscapaciteit.

Opladen - Voor zowel NMOS als CMOS geldt dat tijdens het opladen de door de voedingsbron geleverde arbeid W gelijk is aan:

$$W = \int I\ Udd\ dt = Udd \int I\ dt = Udd\ Q = C\ Udd^2 \qquad (13)$$

Bij een ingangssignaal frekwentie f wordt de uitgangscapaciteit f maal per seconde opgeladen, zodat het door de bron geleverde vermogen gelijk is aan:

$$P = C\ Udd^2\ f \qquad (14)$$

Ontladen - Bij het ontladen loopt er in het CMOS geval geen voedingsstroom, daar de P-kanaal transistor uitgeschakeld is. In het NMOS geval loopt er wel een stroom, daar de belastingsstransistor niet uitgeschakeld wordt. Om iets over de door deze stroom veroorzaakte statische dissipatie te kunnen zeggen, moeten twee aannames gedaan worden. Ten eerste wordt aangenomen, dat de stroom juist voldoende groot is om bij de gegeven frekwentie aan de snelheidseisen te voldoen en ten tweede wordt aangenomen dat de duty-cycle van het ingangssignaal 50% bedraagt. De uitgangsspanning vertoont dan het gedrag van fig. 10.

Bovengenoemde aannames maken het beeld voor NMOS veel rooskleuriger dan in werkelijkheid het geval is. In vele praktische schakelingen ligt de gemiddelde frekwentie van de signalen enkele ordes van grootte onder de maximale frekwentie. Bij CMOS wordt de dissipatie voornamelijk bepaald door de gemiddelde frekwentie, terwijl bij NMOS uitsluitend de maximale frekwentie van belang is.

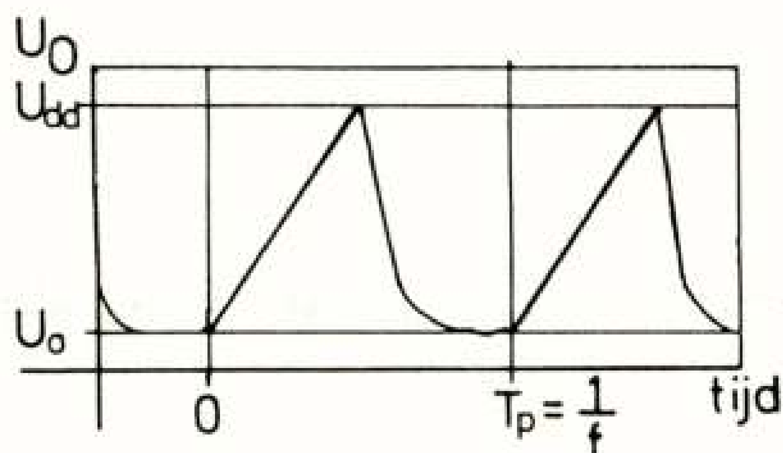


Fig. 10: Uitgangsspanning NMOS-inverter

Uit de aannames volgt dat de oplaadtijd juist gelijk is aan de halve periodetijd van het ingangssignaal. Met behulp van (6) en (10) kan dan een verband gegeven worden tussen de belastingscapaciteit, de signaalfrekwentie en de voedingsspanning:

$$I = 0.9\ C\ Udd\ f \qquad (15)$$

Zodat de statische dissipatie van de NMOS invertor gelijk is aan:

$$P = 0.9\ C\ Udd^2\ f \qquad (16)$$

De totale NMOS dissipatie is dus bij de gegeven aannames (die relatief gunstig zijn voor het NMOS geval) en bij gelijke belastingscapaciteit 1.9 maal hoger dan de CMOS dissipatie,

De totale belastingcapaciteit wordt gevormd door de som van de bedradingscapaciteit en de capaciteit van de actieve elementen.

Bij gegeven bedradingscapaciteit hangt de capaciteit van de actieve elementen af van de mate waarin de intrinsieke vertraging benaderd moet worden (zie fig. 9). Door combinatie van (10), (11), (12), (14) en (16) kan voor zowel CMOS als NMOS de dissipatie van een bepaalde schakeling met een gegeven bedradingscapaciteit als functie van de frekwentie berekend worden (fig. 11):

$$\text{CMOS: } P = \frac{C_w U_{dd}^2 f}{}$$

$$\text{NMOS: } P = \frac{C_w U_{dd}^2 f}{1 - 11.2\,\tau_n f} \qquad (17)$$

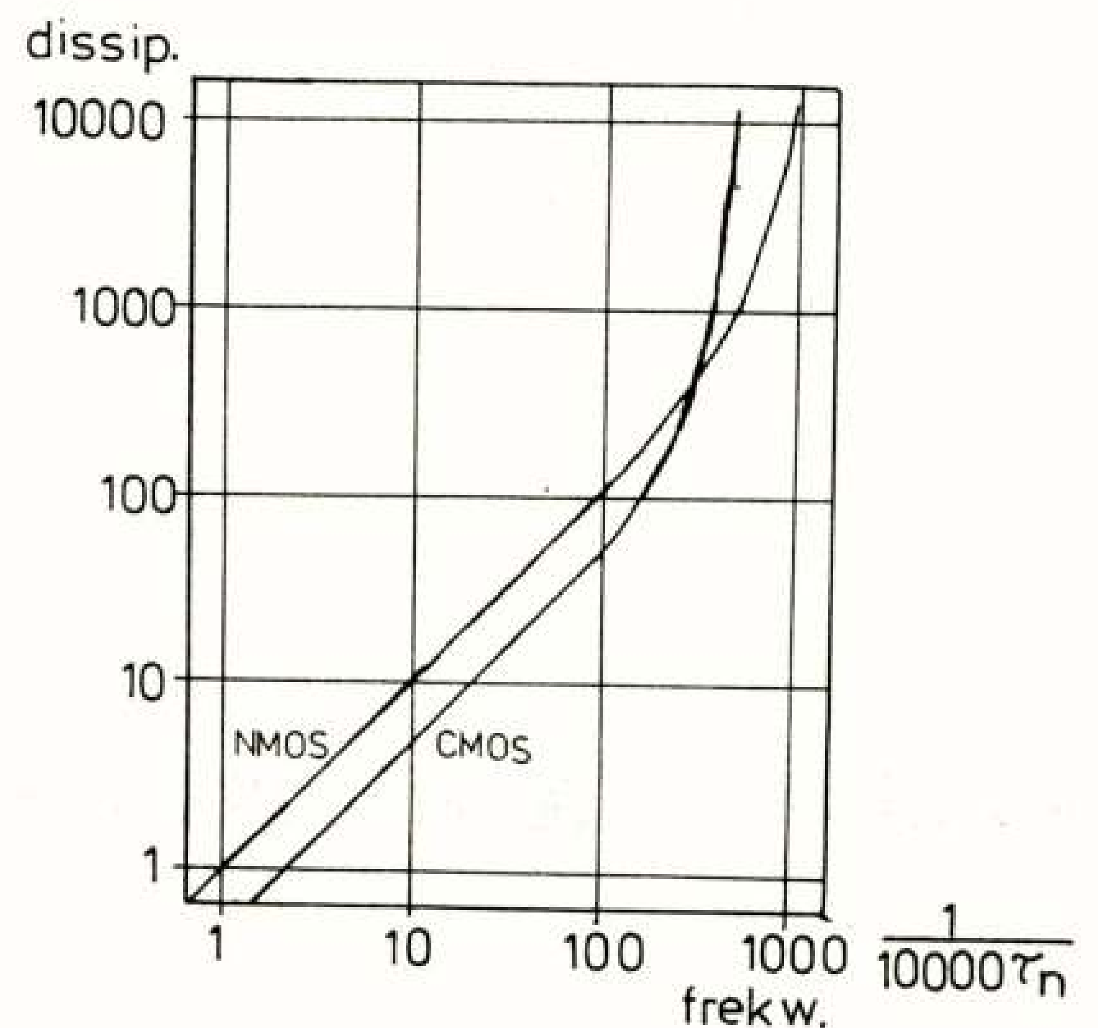


Fig. 11: Dissipatie NMOS en CMOS als functie van frekwentie.

Voor lage frekwenties is er een ongeveer lineair verband tussen frekwentie en dissipatie maar naarmate de intrinsieke snelheid dichter benaderd wordt, neemt de

dissipatie onevenredig toe.

Bij het ontwerp van een complex IC met vele logische elementen zal de dissipatie over het algemeen de beperkende factor zijn en zal men in het lineaire gebied moeten blijven. In dat geval levert CMOS een twee maal kleinere dissipatie op dan NMOS. Uitsluitend in het geval dat de uiterste snelheid vereist is (noodzakelijkerwijs dan voor een relatief klein gedeelte van het IC) verdient NMOS de voorkeur.

EFFECTEN VERDERE SCHAALVERKLEINING

Uit het voorgaande blijkt dat de continu voortschrijdende schaalverkleining de snelheid van MOS-circuits aanzienlijk doet toenemen. Er zijn echter een aantal nadelige hogere orde effecten die naarmate de afmetingen verder verkleind worden steeds belangrijker worden. Sommige van deze effecten verminderen de circuit snelheid, terwijl de overige de betrouwbaarheid van de schakeling verlagen. In het volgende zullen een aantal van deze effecten besproken worden.

Snelheidsverzadiging

Bij de bespreking van de MOS-transistor is er van uitgegaan dat er een lineair verband bestaat tussen de snelheid van de elektronen en het aangelegde electrische veld. In werkelijkheid geldt dit verband uitsluitend voor lage waarden van de veldsterkte en treedt er voor hogere waarden een verzadiging op (Cooper 1981). De verzadigingswaarde ligt in de orde van de thermische snelheid van de elektronen, v_{th}, en is voor gaten en elektronen ongeveer gelijk. Zie fig. 12.

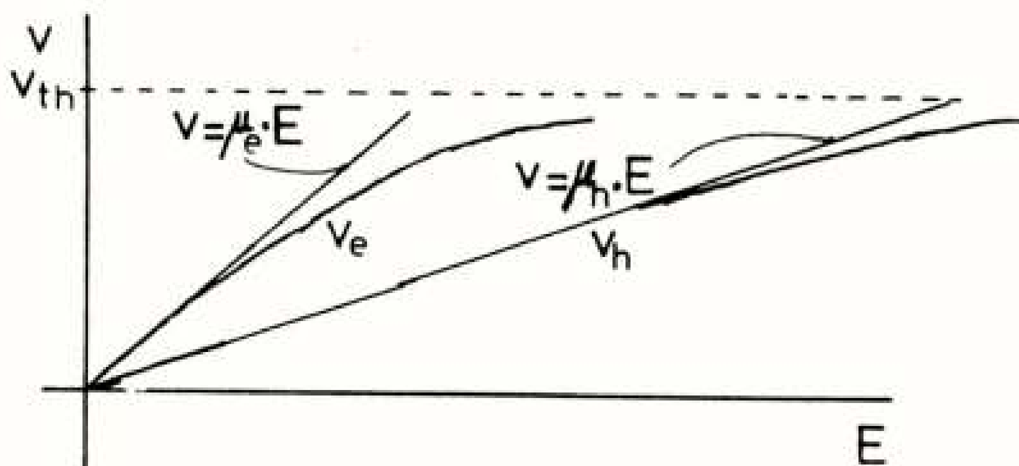


Fig. 12: Snelheidsverzadiging.

Naarmate kortere kanalen toegepast worden en de voedingsspanning van de circuits niet evenredig verminderd wordt, zoals tot op heden gebruikelijk is, zullen de veldsterktes toenemen. Dit heeft tot gevolg dat in plaats van het kwadratische verband (1) tussen vertragingstijd en kanaallengte een zwakker verband ontstaat. Tevens wordt het verschil tussen de intrinsieke tijdconstantes van N en P-kanaal transistoren geringer, zodat het snelheidsvoordeel van NMOS ten opzichte van CMOS kleiner wordt.

Interconnectie tijdconstante

Iedere interconnectie op een IC vertoont parasitaire weerstand en capaciteit. De weerstand wordt bepaald door de soortelijke weerstand van het materiaal, en de afmetingen. Als we aannemen dat bij schaalverkleining zowel de dikte als de breedte van het interconnectiespoor met dezelfde factor verkleind worden en de soortelijke weerstand niet beinvloed wordt, zal de weerstand per lengteeenheid kwadratisch toenemen bij lineaire schaalverkleining. De lengte van de langste interconnectiesporen op een IC (die de grootste tijdconstante vertonen) wordt hoofdzakelijk bepaald door de afmetingen van het IC en dus niet beinvloed door schaalverkleining. Dit houdt in dat de weerstand van de langste sporen kwadratisch toeneemt door schaalverkleining.

Voor de capaciteit geldt dat deze bij gelijktijdige verkleining van zowel oxidedikte als spoorbreedte per lengteeenheid constant blijft. Dit betekent dat de tijdconstante van de langste interconnectiesporen bij schaalverkleining kwadratisch toeneemt. Het zal duidelijk zijn dat dit een zeer ongewenst effect heeft.

Dit effect is vooral van belang voor de polysilicumsporen, daar de soortelijke weerstand van dit materiaal ongeveer drie ordes van grootte groter is dan die van aluminium. Oplossingen bestaan uit het verminderen van de polysilium weerstand door siliceren, of door het vervangen van het polysilicium als interconnectie materiaal door een extra aluminium laag.

Hete electronen

In de momenteel gebruikelijke MOS-processen worden voor de source en drain-gebieden vrij abrupte juncties gebruikt. Dit heeft tot gevolg dat bij het drain gebied hoge elektrische velden ontstaan, die bij verkleining van de kanaallengte zonder verkleining van de voedingsspanning evenredig toenemen. Hierdoor ontstaan elektronen met zeer hoge snelheden, de zogenaamde "hete elektronen". Sommige van deze elektronen verkrijgen dermate hoge energieen dat zij de energiebarriere tussen kanaal en gate kunen overschrijden. Er ontstaat dan een gatestroom. Een gedeelte van deze elektronen zullen worden ingevangen in het oxide, zodat een drempelverschuiving optreedt (Ning, 1979). Deze drempelverschuiving kan de werking van de schakeling in gevaar brengen.

Hete elektronen hebben niet een onmiddelijke verslechtering van de prestaties van het circuit tot gevolg, maar verminderen op de lange duur de betrouwbaarheid van de werking.

Oplossingen bestaan enerzijds uit verlaging van de voedingsspanning en anderszijds uit het vermijden van abrupte juncties, zodat het elektrisch veld nabij het drain-gebied verkleind wordt.

Drain-geinduceerde drempelspanningsverlaging

In iedere MOS transistor wordt de drempelspanning beinvloedt door de hoogte van de drain-substraat spanning. Dit effect neemt toe naarmate de kanaallengte afneemt, en heeft een negatieve invloed op de storingsmarge van het circuit (Ohno 1982). Vanwege de van nature grotere storingsmarge van CMOS-logica ten opzichte van NMOS, tolereert CMOS een grotere beinvloeding van de drempelspanning dan NMOS. Het effect kan tegengegaan worden door evenredige vermindering van de oxidedikte en de voedingsspanning.

Schaaltheorie

Reeds in 1972 (Dennard 1972) is er een schaal-theorie opgesteld, waarmee het mogelijk is om met vormbehoud van de elektrische velden in de transistoren de afmetingen te verkleinen. Deze theorie houdt in dat alle horizontale en verticale afmetingen met een factor k verkleind worden en alle doteringen met een factor k verhoogd worden.

Omdat het evenredig schalen van afmetingen en potentialen op problemen stuit, (bijvoorbeeld voor wat betreft de barriere potentiaal in de source en drain-juncties) zijn er daarna meer algemene theorieen opgesteld, die het mogelijk maken om afmetingen en potentialen met verschillende factoren te verkleinen (Baccarani 1984, Pfiester 1984). Hieruit blijkt dat voor NMOS een kanaallengte van 0.25 - 0.45 u mogelijk zou moeten zijn, met een vertragingstijd van 50 ps. In CMOS zou 0.15 u mogelijk zijn met een vertragingstijd van 10ps; beide tijden geldend voor een invertorketen.

CONCLUSIES

In het bovenstaande is aangetoond dat van de Si-technologieen CMOS het meeste profijt heeft van schaalverkleining. In de huidige situatie levert NMOS, weliswaar ten koste van hoge dissipatie, de snelste schakelingen op. Voor complexe schakelingen levert CMOS de beste resultaten. CMOS is de beste Si-kandidaat voor de snelle en complexe geintegreerde schakelingen van de toekomst.

LITERATUUR

Ahrons, R.W., et al., "MOS micropower complementary transistor logic", ISSCC Digest of Technical Papers, pp. 80-81, Feb. 1965.

Baccarani, G., et al.,"Generalized scaling theory and its application to a 0.25 micrometer MOSFET design", IEEE Trans. Electron Devices, Vol. ED-31, pp. 452-462, April 1984.

Cooper J.A., et al., "Measurement of the high-field drift velocity of electrons in inversion layers in silicon"", IEEE Electron Device Lett., Vol. EDL-2, July 1981.

Dennard, R.H., et al., "Design of micron MOS switching devices", presented IEEE Int. Elctron Device Meet., Washington, DC, Dec. 1972.

DiPietro, D., "A 5-GHz monolithic IC process for high-speed digital circuits", ISSCC Digest of Technical Papers, pp. 118-119, Feb. 1975.

Gold, H.S., et al., "An integrated logic gate with subnanosecond propagation delay as a system element", ISSCC Digest of Technical Papers, pp. 70-71, Feb. 1969.

Itoh, K., et al., "An experimental 1Mb ram with on-chip voltage limiter", ISSCC Digest of Technical Papers, pp. 282-283, Feb. 1984.

Liu, S.S., et al., "1.5u scaled CMOS microcomputer technology", ISSCC Digest of Technical Papers, pp. 156-157, Feb. 1984.

Murphy, B.T., et al., "Non-saturating monolithic logic circuits with improved stability", ISSCC Digest of Technical Papers, pp. 8-9, Feb. 1965.

Nakamura T., et al., "Integrated 84ps ECL with I2L", ISSCC Digest of Technical Papers, pp. 152-153, Feb. 1984.

Ning, T.H., et al., "1-um MOSFET VLSI technology: Part IV-Hot-electron design constraints", IEEE Trans. Electron Devices, Vol. ED-26, pp. 346-353, Apr. 1979.

Noorlag, D.J.W., et al., "Bipolaire schakelingen in Silicium technologie", Tijdschrift van het NERG, dit nummer.

Ohno, Y., "Short-channel MOSFET Vt-Vds characteristics model based on a point charge and its mirror images", IEEE Trans. Electron Devices, Vol. ED-29, pp. 211-215, Feb. 1982.

Pfiester, J.R., et al., "Performance limits of NMOS and CMOS", ISSCC Digest of Technical Papers, pp. 158-159, Feb. 1984.

Taniguchi, K., et al., "400-Picosecond logic LSI", ISSCC Digest of Technical Papers, pp. 88-89, Feb. 1972.

Yu, K.K., et al., "HMOS-CMOS technology", ISSCC Digest of Technical Papers, pp. 208-209, Feb. 1981.

Voordracht gehouden tijdens de 325e werkvergadering.

UIT HET NERG

LEDENMUTATIES

Voorgestelde leden

Ir. N.H.G. Baken, Pr. Bernhardlaan 78, Voorburg.
Ir. A.Dolstra, Aalsterweg 50, Eindhoven.
Ir. P.C.A.M. Karsten, Is. Hoornbeekstraat 19, Delft.
Ir. A. van Kuilenburg, Het Wedde 7, Voorschoten.
Prof. dr. M.P.H. Weenink, Schutterslaan 21, Stiphout.

Nieuwe leden

Ir. J. van Drecht, Frederik Hendrikplein 8, 's-Gravenhage.
Ir. M.A. Kempenaar, Aartseveen 60, Eemnes.
Ing. D. Oorburg, van Beethovenlaan 34, Hazerswoude.
Ir. N.A.M. Verhoeckx, Rooswijck 4, Eindhoven.

Nieuwe adressen van leden

Ir. R.H. Boon, Hildebrandlaan 100, Oosterhout.
Ir. H.L.H.M. Castermans, Korte Houtstraat 116, 's-Gravenhage.
Dr.ir. T.A.C.M. Claasen, Hoog Geldrop 125, Geldrop.
Ir. J.R. Reijnders, Postbus 182, Laren N.H.
Ir. H.J.A. de Ronde, Adriaan Poirterslaan 22, Waalre.
A.M. Schmidt, Ganzenstraat 192, Amersfoort.
Ir. W.J. Vogel, Kramersstraat 2, Eindhoven.
J.M.H. Wagemans, Tiendstraat 3, St. Geertruid.

NEDERLANDS ELEKTRONICA- EN RADIOGENOOTSCHAP
(325ste werkvergadering)
SECTIE TELECOMMUNICATIETECHNIEK VAN HET KIvI
IEEE BENELUX SECTIE

UITNODIGING

voor de lezingendag op **9 oktober 1984** in het **gebouw van het Academisch Genootschap** te **Eindhoven.**
THEMA: SNELLE DIGITALE ELECTRONICA



PROGRAMMA

09.30 uur: Ontvangst en koffie.

10.00 uur: **DR. IR. Th. G. VAN DE ROER,** Foto 1
(Technische Hogeschool Eindhoven).
GIGABIT-ELECTRONICA, WAT, WAAROM EN HOE?

10.45 uur: **C. M. HART,**
(Philips Natuurkundig Laboratorium).
BIPOLAIRE SCHAKELINGEN IN SILICIUM TECHNOLOGIE.

11.30 uur: Koffiepauze.

11.55 uur: **IR. C. M. HUIZER,**
(Philips Natuurkundig Laboratorium).
NMOS EN CMOS SCHAKELINGEN.

12.40 uur: Lunchpauze.



14.00 uur: **IR. S. LEONG,** Foto 2
(Philips Huizen).
SNELLE MODULATIE VAN OPTISCHE COMPONENTEN.

14.45 uur: Theepauze.

15.10 uur: **DR. M. ROCCHI,**
(LEP Parijs).
DIGITAL IC'S ON GALLIUM ARSENIDE.

16.00 uur: Sluiting.

Aanmelding dient te geschieden door inzending van de aangehechte kaart, **gefrankeerd** met een postzegel van **50 cent**, alsmede overmaking van de verschuldigde kosten op Postrekening 94746 t.n.v. Penningmeester NERG, Leidschendam onder vermelding van "Snelle Electronica".
De aanmelding is alleen geldig indien de aanmeldingskaart en overschrijving zijn ontvangen vóór 1 oktober 1984.

De deelname voor leden van NERG, KIvI en IEEE is gratis en voor introducée's *f* 15,00 per deelnemer.
De lunchkosten bedragen *f* 12,50.

Het Academisch Genootschap is gelegen aan de Parklaan 93, te Eindhoven (ongeveer 10 loopminuten in oostelijke richting, vanaf zuid-uitgang station Eindhoven).

Namens de samenwerkende verenigingen,
DR. IR. A.J. VINCK, NERG.
Tel. 040-473672

Eindhoven, september 1984

CALL FOR PAPERS

Third Internationa
Network Planning Symposiur

June 1-6, 1986 Innisbrook Tarpon Springs, Florid

Networks '86 is the third in a series of conferences on the topic of network planning. Its objective is to review gener trends as well as to present details of new results and the latest techniques in the field of network planning, desig and implementation. The particular aim is to improve the mutual understanding of theory and practice by bringin together planners, developers, and users. Care will be taken to avoid those aspects of the subjects listed whic can be considered to be within the confines of related conferences such as ISS, ISSLS, and ITC.

CONFERENCE THEMES

Integration and internetworking of networks

*

Issues in data and integrated voice and data networking

*

Network planning issues for the 1990s

Authors are particularly encouraged to submit papers addressing the conference themes from the perspectives listed below:

Telecommunication Network Planning & Design (theoretical and practical aspects; architectural design)

- Public networks, local-area, local-access, metro-area, inter-urban, international, etc., for voice, text, data, and image; broadband networks
- Private and government networks
- Planning issues in developing countries
- Impact of new technology on network architecture and designs
- Methodologies for demand forecast (e.g., for new services), traffic data, flow control, load/overload controls
- Network modernization, planning, and design methods
- Computer aids to network planning and design
- International network planning

Integrated vs. Dedicated and Specialized Networks (planning, comparisons)

- Integrated networks and services (IDN, ISDN)
- Specialized networks (signalling, synchronization, administration)
- Integration/interworking of separate networks (voice, telex, packet, cellular radio, etc.)

Advances in Networking

- New services, multiservice networks
- Future technologies
- Future architectures and network protocols

Network Performance (theory and experience

- Impact of new network architectures, technologies, and ser-vices (e.g., digital voice processing) on quality of service design
- Cost/performance optimization
- Strategies for improved network availability and reliability
- Customer control and its impact on performance

Network Operation and Management

- Management of changes, rearrangements, reconfigurations
- Performance monitoring and surveillance
- Remote diagnostics, alarms, and trouble-shooting
- Operation, management, and testing of interconnected networks

AUTHORS' SCHEDULE & INSTRUCTIONS

May 15, 1985:	500-700 word synopsis received (graphs/tables desirable in evaluating synopsis)
July 15, 1985:	Acceptance mailed
October 15, 1985:	Manuscript (limited to 2400 words) received
January 10, 1986:	Final acceptance, comments, and author's kit mailed
March 3, 1986:	Camera-ready copy received (with accom-panying graphs/tables)

The title page must include the author's name, complete return address, telephone and/or telex number, abstract, and the theme and specific conference topic addressed by the paper. All other pages should bear the title of the paper and the author's name. Send six double-spaced copies of the manuscript (limited to 2400 words) **in English** to the address shown below. Page charges will be assessed for camera-ready copies exceeding four pages.

Submit abstracts and manuscripts to:

Networks '86
c/o Mr. Cas Skrzypczak
Bell Communications Research
290 West Mt. Pleasant Ave.
Livingston, NJ 07039



Sponsored by The Council on Networking of the IEEE Communications Society



CALL FOR PAPERS  **EUREL** see

7th European Conference on Electrotechnics

APRIL 21-23 - 1986 - PARIS - FRANCE

EUROCON 86

ADVANCED TECHNOLOGIES AND PROCESSES IN COMMUNICATION AND POWER SYSTEMS

ORGANIZED BY
- La Société des Electriciens, des Electroniciens et des Radioélectriciens (SEE)
- IEEE French Section
- Le Groupement des Industries Electroniques (GIEL)

SPONSORED BY
- The Convention of National Societies of Electrical Engineers of Western Europe (EUREL)
- Region 8 of the Institute of Electrical and Electronics Engineers (IEEE)

COMMITTEES
- Steering Committee
  Chairman : Louis-Joseph LIBOIS, EUREL
  Deputy Chairman : Jacques ELDIN, EUREL
- Technical Programme Committee
  Chairman : Michel H. CARPENTIER, Fellow IEEE, Member of the AESS Radar Panel, President of the IEEE French Section

GENERAL
At a time when the evolution of electronic and electrotechnical technology appears to be accelerating and deepening, becoming capable of completely modifying our civilization, it seems useful to examine the validity of natural extrapolation of present trends, together with the impact of possible new technical phenomena.
The aim of the Conference is to examine how and how much the world and our way of life will be changed over the next decade.
In particular, the Conference will examine:
- the fantastic present and future evolution of technology (especially in the field of materials, processing of materials, associated chemicophysics and biochemistry, computer aided design),
- the evolution of architectures for signal and data processing, the evolution of software tools (such as artificial intelligence),
- the effect of these on medical, transportation and cultural activities.

A large number of tutorial presentations will permit all participants, and in particular students, to have a realistic look at what can be expected by the end of the present century.
Student contests within the framework of EUROCON 86 (and other facilities for students) should help in reaching this goal.

SCOPE
New possibilities offered by new materials to be used in electronics and electrotechnics (polymeres, piezoelectric and electrochromic materials, liquid crystals, amorphous Silicon, III-V and II-VI semiconductors, new carbon fibers, glass fibers, biochemical components...)
New possibilities offered by new means of processing those materials (organometallic low pressure C.V.D., molecular beam epitaxy, utilization of lasers, local nuclear reactions, ion implantation, ionic tooling, and by new possible artificial crystallic structures.
New possibilities of (and limitations resulting from) microlithography (optical, U.V., electron beams, ion beams, X rays) and relevant resines, methods and tools for testing of V.L.S.I..
Evolution of components towards small dimensions and large powers – limitations of the evolution.
Possibilities and limitations of computer aided design and functional simulation of components (V.L.S.I.) of sub-assemblies, of equipment, of systems (communications, power generation, power transportation).
Using artificial intelligence and expert systems in industry, tertiary activities, architecture, aeronautics, medicine.
Evolution in signal processing: modern methods and their implementation (parallel architectures, systolic arrays). Impact on communication, navigation aids, medical equipment...
Distributed data processing organizations to be used in real time management and control systems. Examples of such a system (air traffic control, networks for transport of energy, management of production organizations...).
Evolution in computer aided fabrication.
The ESPRIT Program. Its situation in 1986.

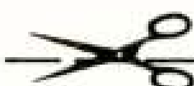
SIMULTANEOUS TRANSLATION
Simultaneous translation will be provided both in English and in French.

ABSTRACTS AND FULL TEXTS
Abstracts of proposed papers (1 page) should be addressed in 4 copies, in English,
before June 1st, 1985 to :

EUROCON 86 GENERAL SECRETARIAT
11, rue Hamelin
F-75783 PARIS CEDEX 16
FRANCE

The authors whose papers are accepted will be informed from October 15th, 1985. For these contributions, the full text in English should be submitted before January 15th, 1986 and might be preceded by a short abstract in English or in French.

REGISTRATION
The registration fee will be determined later on.
Lecturers will be kindly requested to pay registration fee.



EUROCON 86
11, rue Hamelin - F-75783 PARIS CEDEX 16 - FRANCE
☎ 33 (1) 505 14 27 Sycelec Paris 034 Tx SYCEL 611045 F

Please send me further information about the Conference which I plan to attend :	YES ☐	NO ☐
I propose to submit a paper :	YES ☐	NO ☐

Provisional title : ....

....

....

....

Name : ....

Address (Firm/Organization) : ....

....

N° .... Street : ....

Zip Code and town : .... Country : ....

Business telephone : .... Cable : .... Telex : ....

Conferentieaankondigingen.

Developments in power-system protection; 17-19 april 1985, London; Contactadres: Conference Services IEE , Savoy Place, London WC2R OBL, United Kingdom.

ESSCIRC '85; 16-18 september 1985, Toulouse France, Contactadres: Dr. J.P.Bailbé, ESSCIRC '85 Secretary, L.A.A.S.-C.N.R.S., 7 Avenue du Colonel Roche, 31077 Toulouse Cedex, France.

18th International conference on lightning protection; 16-20 September 1985, Hotel Hilton, Munich. Contactadres: VDE-Zentralstelle Tagungen, 18th ICLP, Stresenmannallee 15, D-6000 Frankfurt/Main 70.

Intelec '85; seventh international telecommunications energy conference, 14-17 october 1985, Hotel Hilton International, Munich, Germany. Call for papers 1-3-1985. Contactadres: H.A.Kiehne, Varta Batterie AG, P.O.Box 210540, D-3000 Hannover 21, F.R. of Germany.

NTG-Fachtagung, Lichtwellenleiterkabel; 28-31 oktober 1985, Bad Nouheim, Call for papers 25-3-1985. Contactadres: VDE-Zentralstelle Tagungen, Stresenmannallee 15, D-6000 Frankfurt/Main 70.

NTG-Fachtagung, Hörrundfunk; 12-14 November 1985 in Mannheim, Call for papers 15-4-1985. Contactadres: VDE-Zentralstelle Tagungen, Stresenmannallee 15, D-6000 Frankfurt/Main 70.

NTG-Fachtagung, Bewegliche funkdienste; 25-27 November 1985 in München. Call for papers 4-1-1985. Contactadres: VDE-Zentralstelle Tagungen, Stresemannallee 15, D-6000 Frankfurt/Main 70.

8th International conference on computer communication; 15-19 September 1986; Sheraton Hotel München. Contactadres: Mr. H.Heyder, VDE-Zentralstelle Tagungen, Stresemannallee 15, D-6000 Frankfurt/Main 70.

Tijdschrift van het Nederlands Elektronica- en Radiogenootschap

Inhoud

deel 50 - nr.1 - 1985

druk: de Witte Eindhoven.